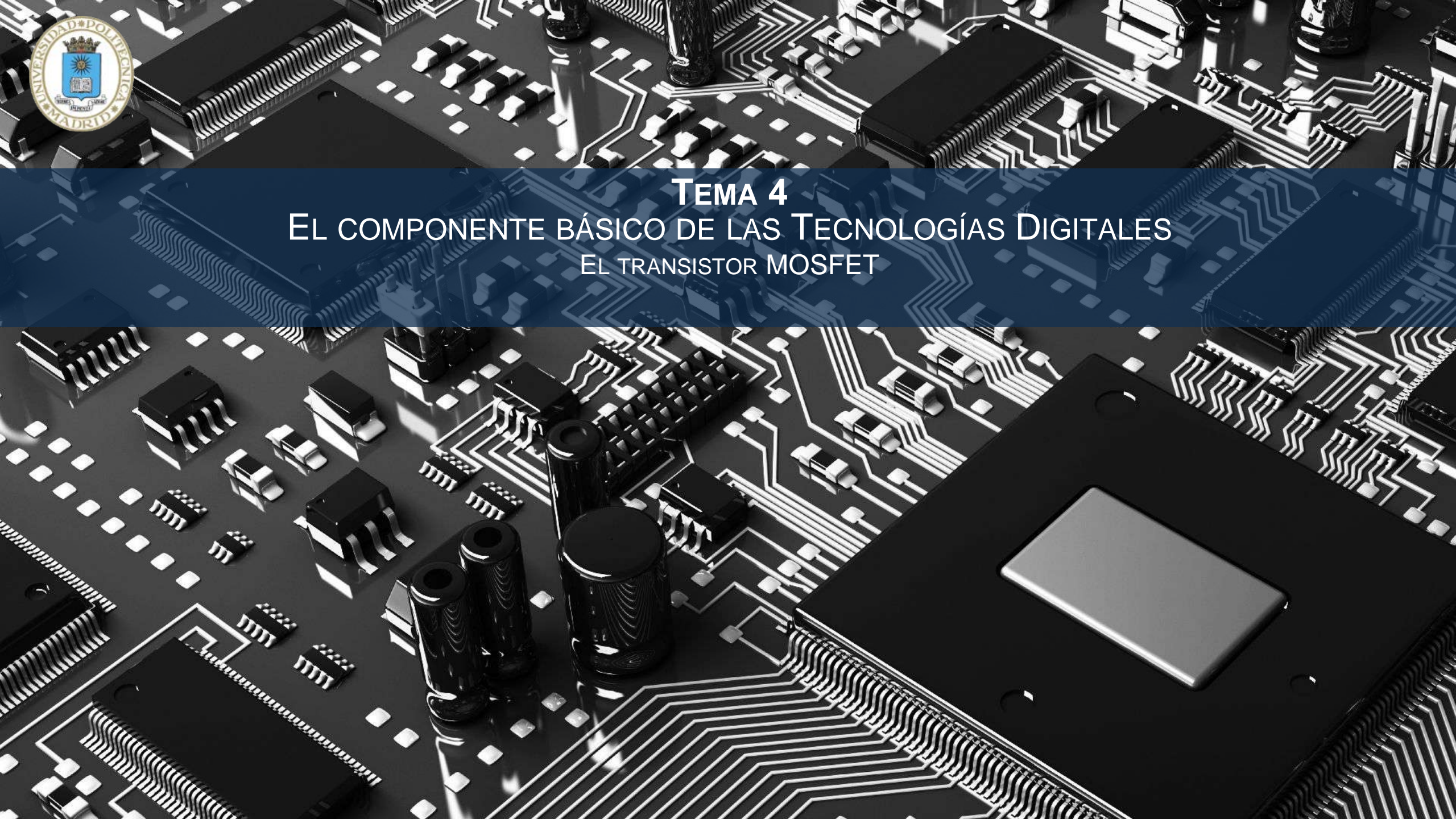




TEMA 4

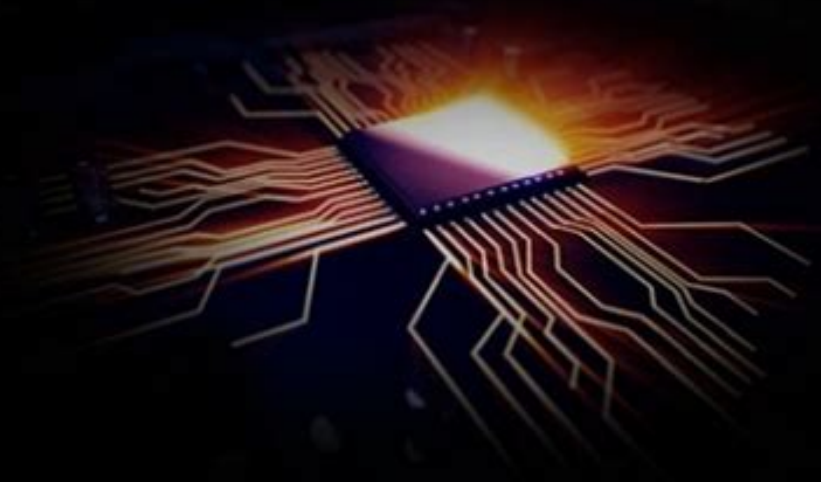
EL COMPONENTE BÁSICO DE LAS TECNOLOGÍAS DIGITALES

EL TRANSISTOR MOSFET





1. Introducción
2. Estructura, funcionamiento y simbología. Características I-V.
3. Lógica con nMOS
4. Lógica con pseudo-nMOS
5. Lógica con CMOS
6. El transistor MOS como interruptor
7. Lógica con puertas de paso
8. Puertas de transmisión



INTRODUCCIÓN

EL MOSFET



- El transistor de efecto de campo metal-óxido-semiconductor o MOSFET (*Metal-oxide-semiconductor Field-effect transistor*) es el dispositivo más utilizado en la microelectrónica. La casi totalidad de los microprocesadores comerciales están basados en transistores MOSFET.



IMPORTANCIA DEL TRANSISTOR MOSFET



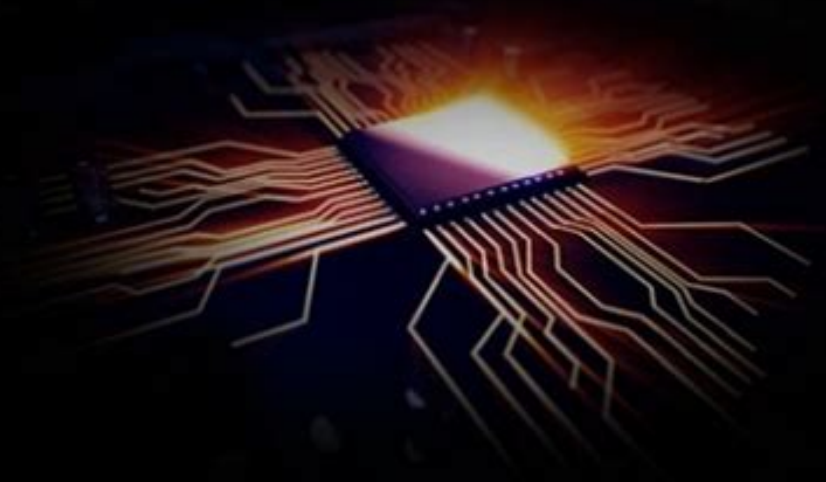
- El **MOSFET** es el transistor más utilizado en circuitos digitales
- Es el artefacto más ampliamente fabricado a lo largo de la historia
 - Se calcula que se han fabricado sextillones [10^{36}] de transistores
- Revolucionó la industria electrónica porque fue fundamental para la expansión de la **microelectrónica** a finales del siglo XX, llegando a ser el bloque fundamental de la electrónica digital en la era de la información.
- Actualmente, miles de millones de transistores MOS se encuentran dentro de un **circuito integrado**, como un chip de memoria o microprocesador

HITOS PRINCIPALES



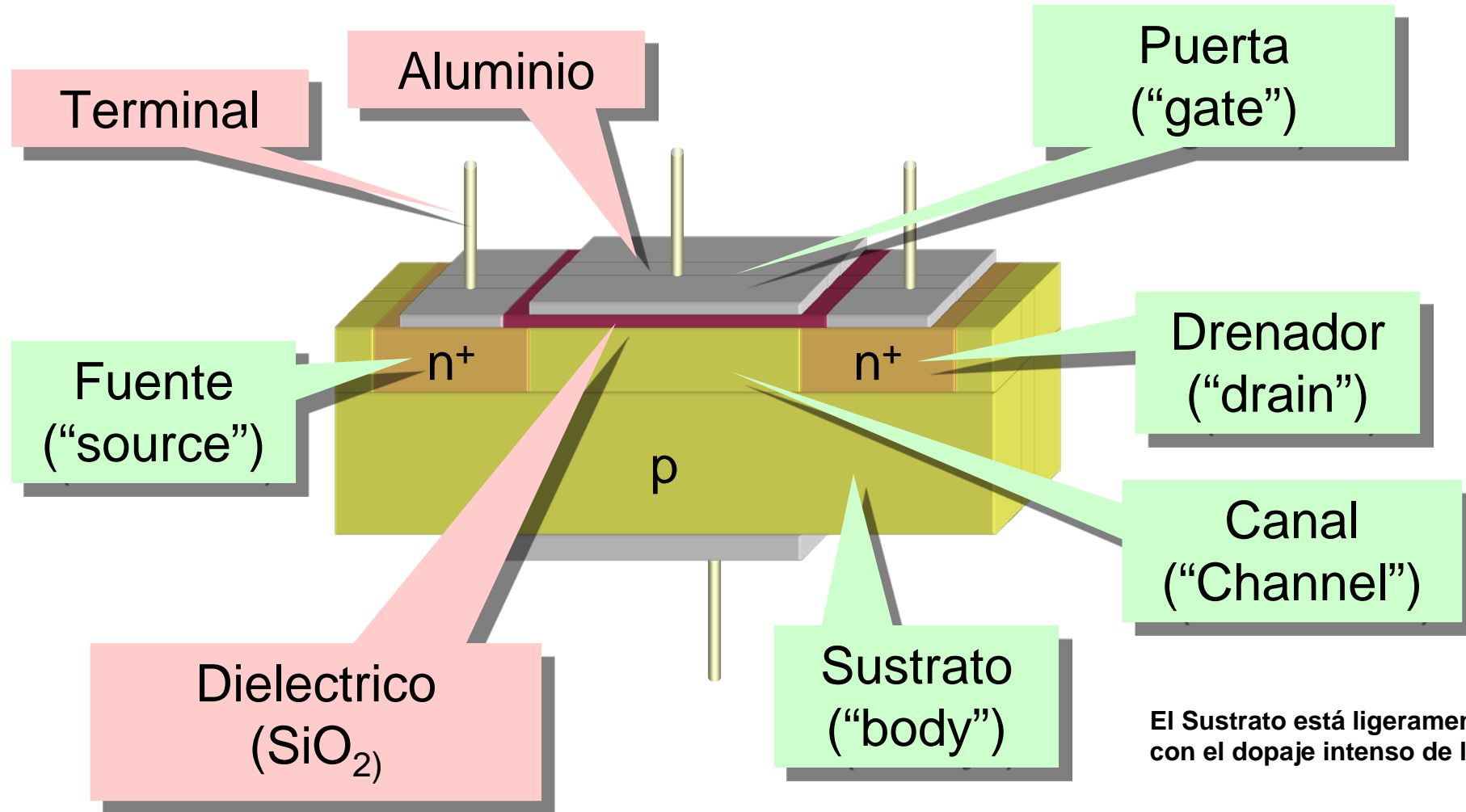
- i. **1959**: Dawon Kahng y Martin Atalla en **Bell Labs** inventaron el primer MOSFET. Fueron galardonados con el Premio Nobel de Física
- ii. 1965: Fabricación, por parte de Digital Equipment Corp. (DEC), del **PDP-8**, un minicomputador que dominó el mercado
- iii. 1968: Intel desarrolló en tecnología MOS un conjunto de 12 chips que, en promedio, tenían unos 2000 transistores cada uno.
- iv. 1969: Se diseñó la **primera generación de microprocesadores**
- v. 1969: Kenneth Thompson y Dennis Ritchie de AT&T Bell Laboratories desarrollaron el **SO UNIX**





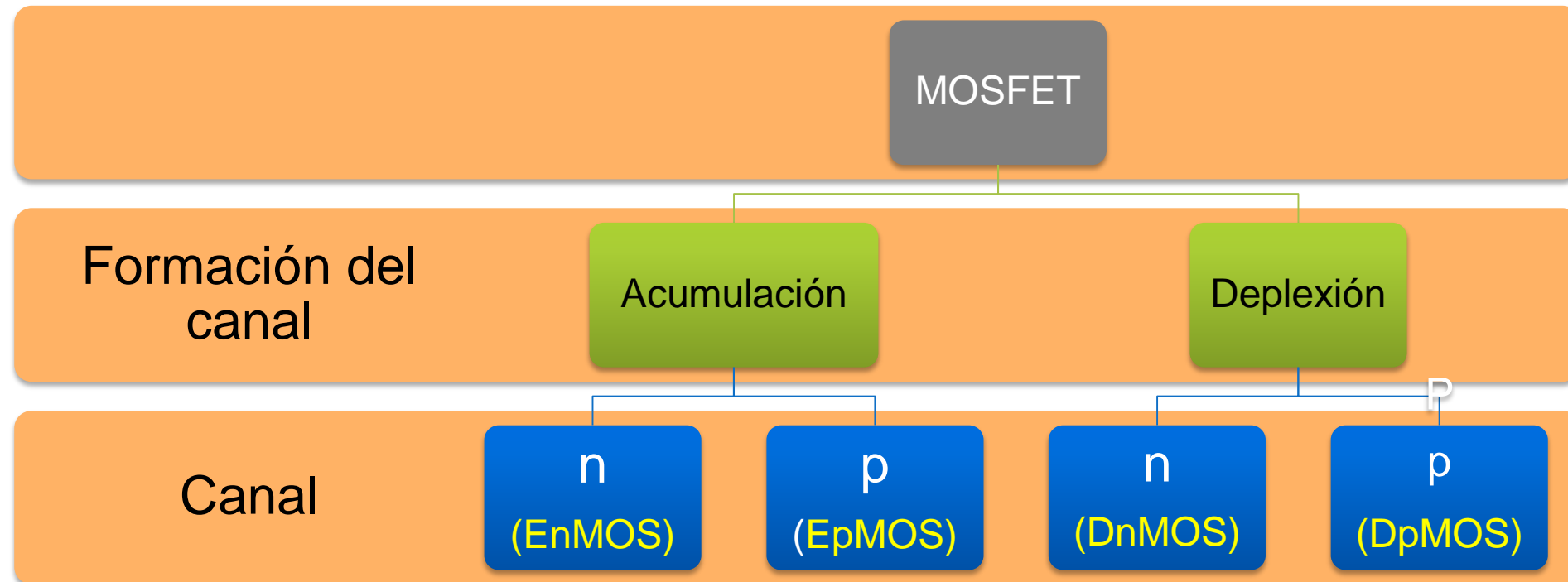
ESTRUCTURA, FUNCIONAMIENTO Y SIMBOLOGÍA

ESTRUCTURA



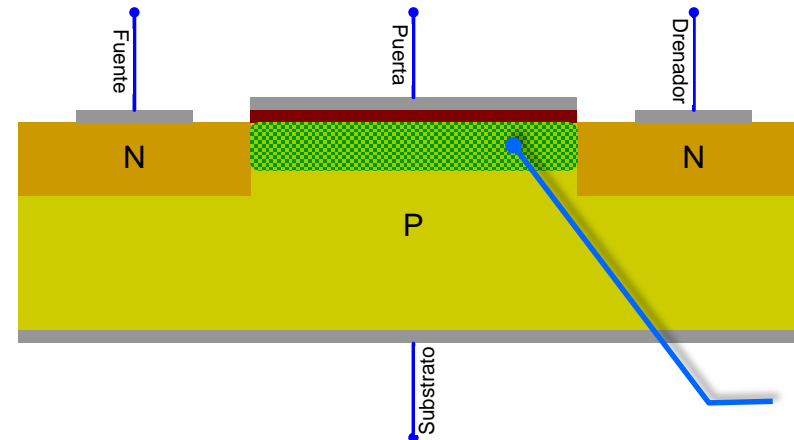
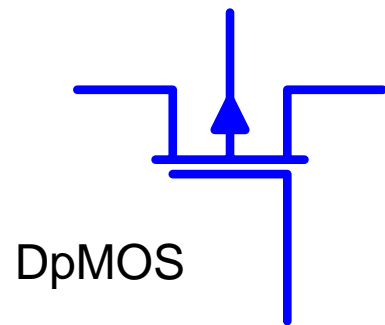
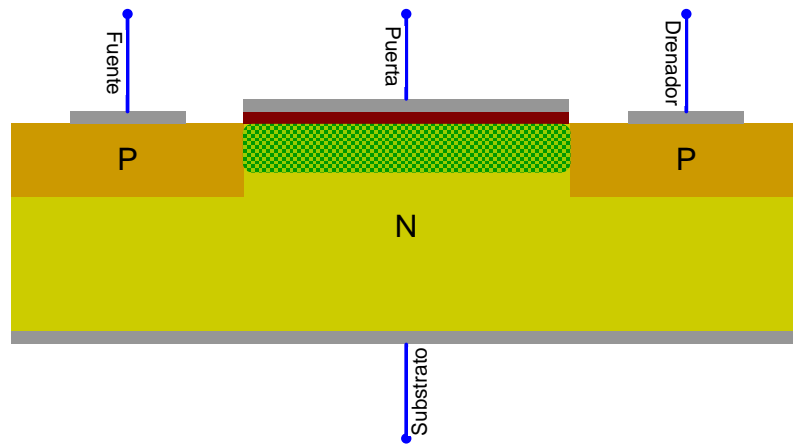
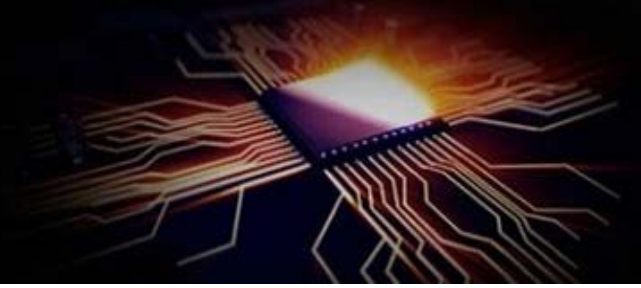
El Sustrato está ligeramente dopado, en contraste con el dopaje intenso de la Fuente y el Drenador

TIPOS DE MOSFET

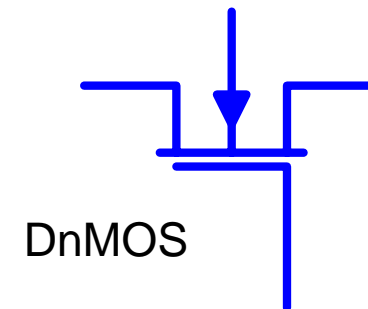


MOSFET DE DEPLECIÓN

GEOMETRÍA Y SIMBOLOGÍA

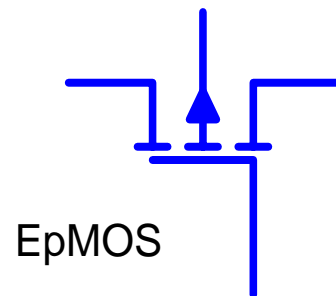
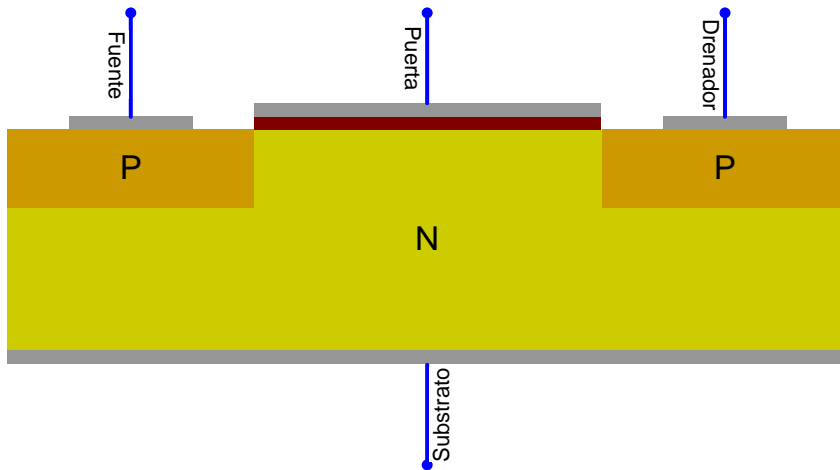


MOS de canal n o p,
formado en el propio
proceso de fabricación

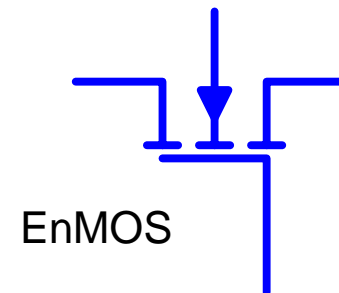
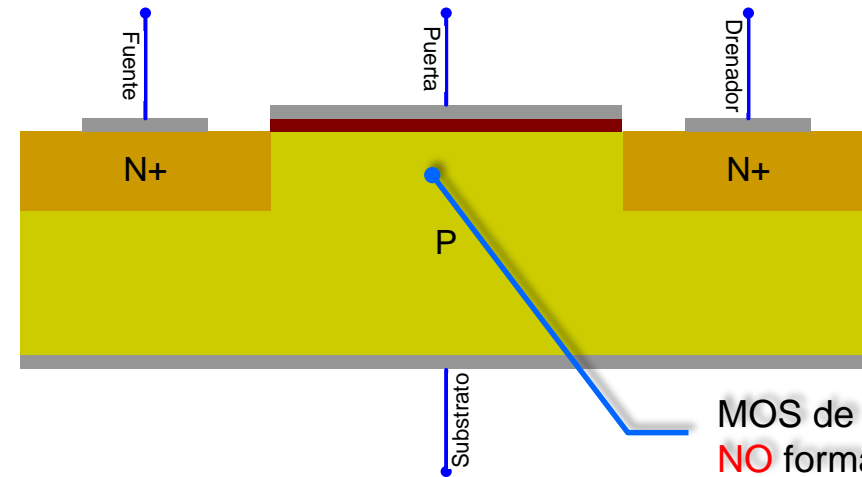


MOSFET DE ACUMULACIÓN

GEOMETRÍA Y SIMBOLOGÍA



EpMOS



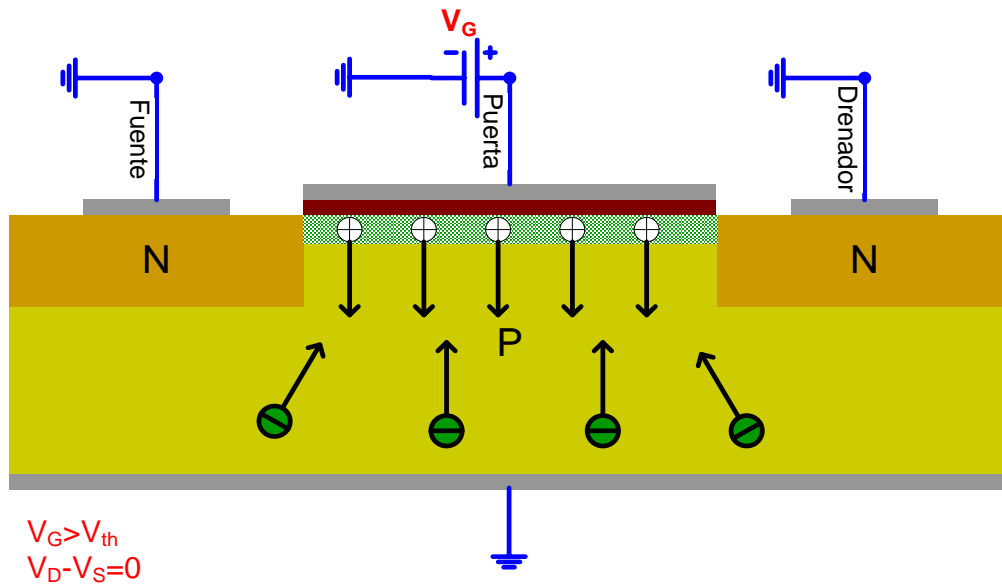
EnMOS

MOS de canal n o p,
NO formado en el
propio proceso de
fabricación

FUNCIONAMIENTO DE UN ENMOS (1)

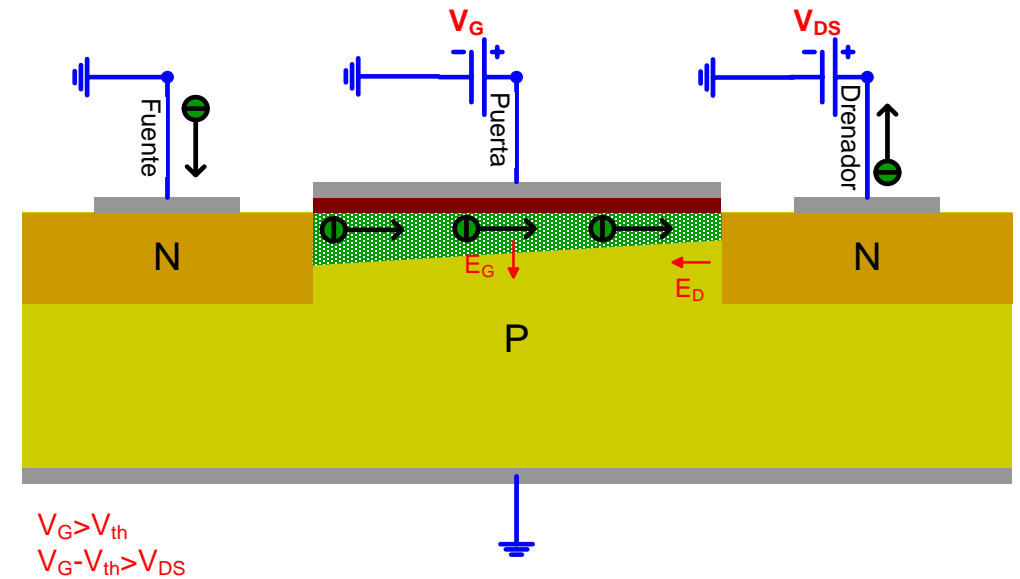


Inducción de canal



El efecto de aplicar un voltaje en la puerta (G), da lugar a un campo eléctrico que repele a los huecos (cargas positivas mayoritarias) y atrae a los electrones libres (minoritarios) en el material P. Como consecuencia, se forma un canal N entre la fuente y el drenador en el que los mayoritarios son los electrones y los minoritarios los huecos. El fenómeno descrito (acumulación) no ocurre para cualquier tensión, sino solo cuando la tensión de puerta (V_G) es mayor que un parámetro llamado voltaje de umbral (V_{th}).

Funcionamiento lineal

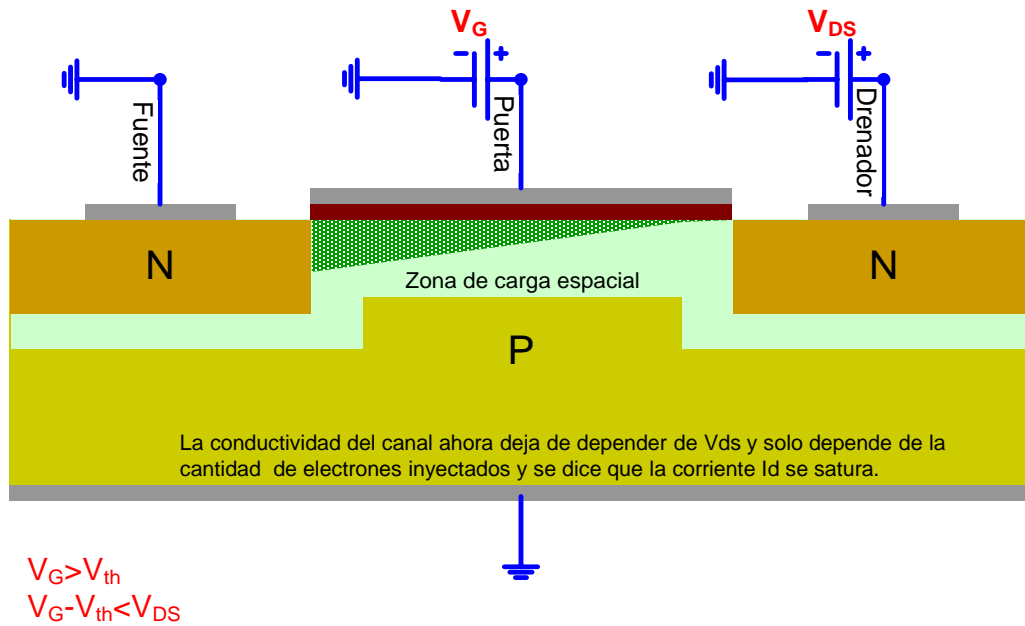


En este caso, si ,manteniendo el voltaje de puerta anterior, se aplica una tensión entre fuente y drenador, se fuerza una corriente eléctrica que atraviesa el canal (I_{DS}). De tal forma que, con $V_{DS} > 0$, los electrones del canal se moverán hacia el contacto de drenador, tal como se indica en la figura. El valor de esta corriente dependerá del tamaño del canal y éste de la tensión V_{GS} . Dicho de otra forma la I_{DS} dependerá mas o menos linealmente de V_{GS} . Nótese que el canal de conducción se hace más angosto hacia el drenador debido a que la zona de carga espacial se hace mas gruesa ya que la unión PN está en inversa.

FUNCIONAMIENTO DE UN ENMOS (Y 2)

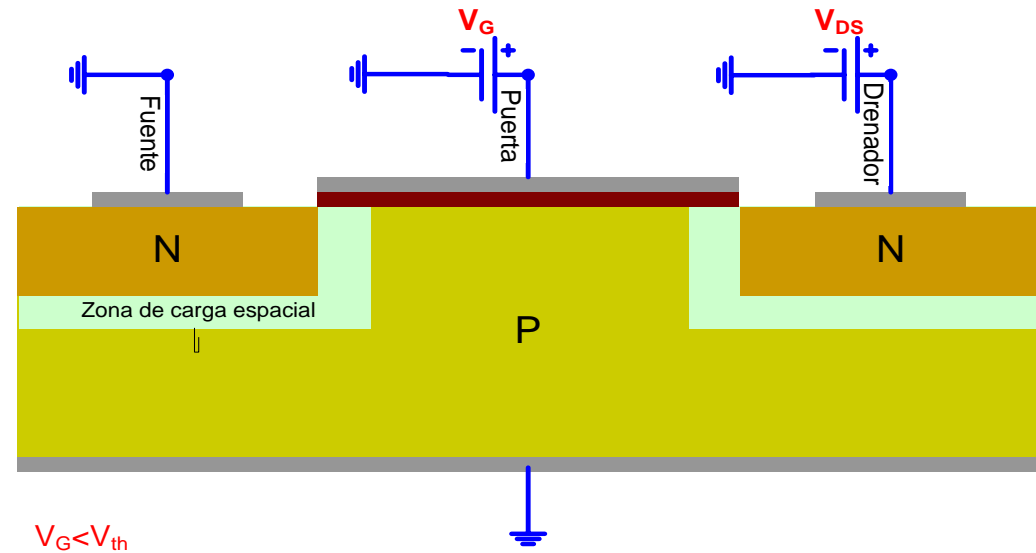


Saturación



Cuando $V_{DS} > V_{GS} - V_{th}$ en algún punto intermedio del canal la zona de carga espacial estrangulará el canal, de tal forma que a partir de ese punto hacia el drenador ya no existirá canal formado. Al cerrarse el canal la corriente deja de depender de la magnitud del voltaje V_{DS} y se dice que la corriente I_{DS} se **satura**

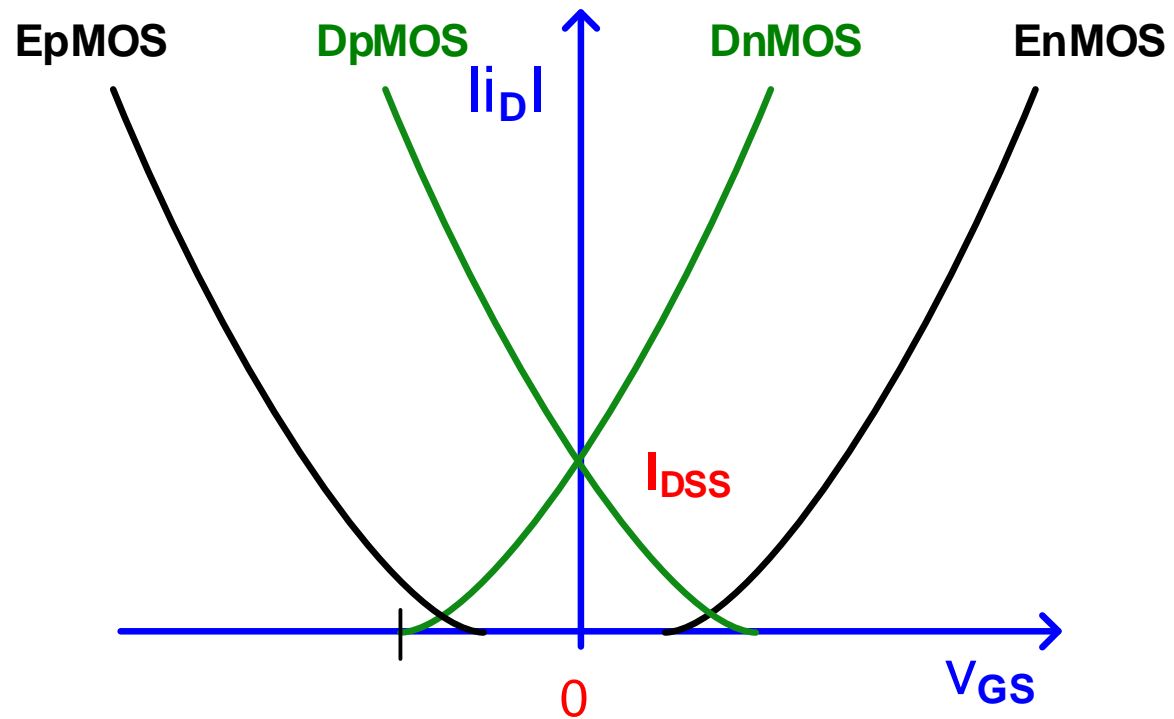
Corte



Cuando $V_{GS} < V_{th}$ la tensión de puerta no puede inducir el canal y la I_{DS} solo puede ser nula.

MOSFET

CURVAS CARACTERÍSTICAS DE ENTRADA

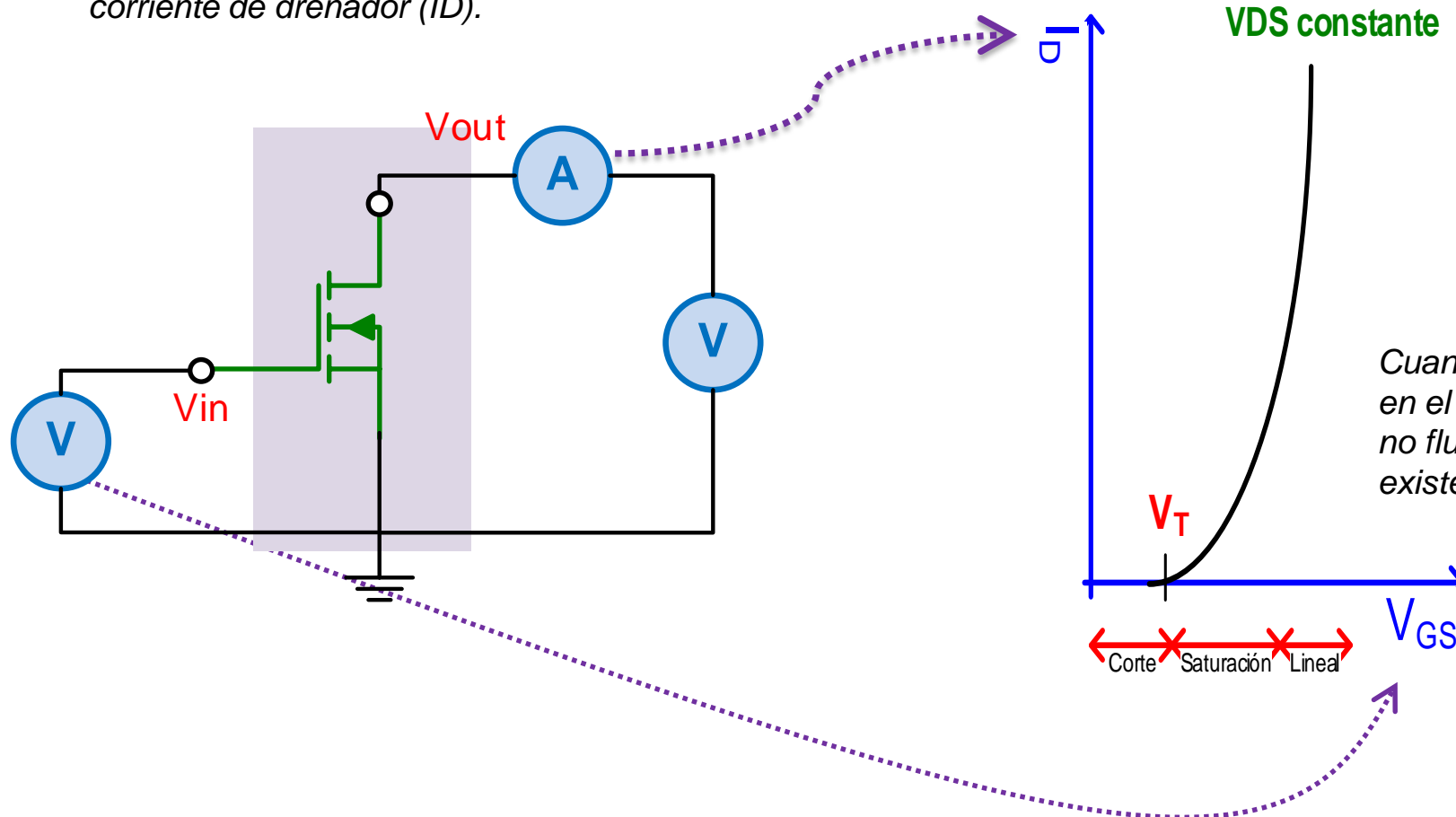


ENMOS

CURVAS CARACTERÍSTICAS DE ENTRADA



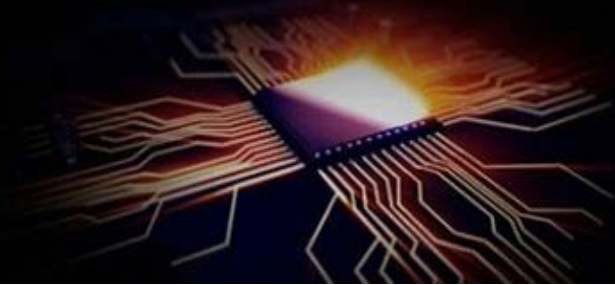
En la mayoría de las aplicaciones del MOSFET, la señal de entrada es la tensión de puerta (V_G) y la señal de salida es la corriente de drenador (I_D).



A=Amperímetro
V=Voltímetro

ENMOS

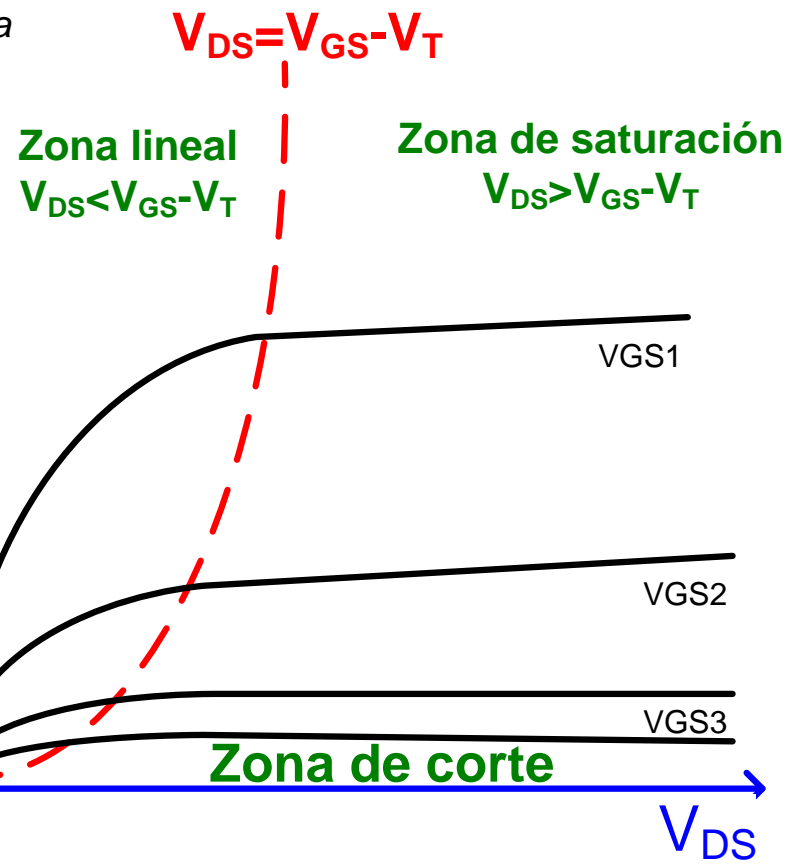
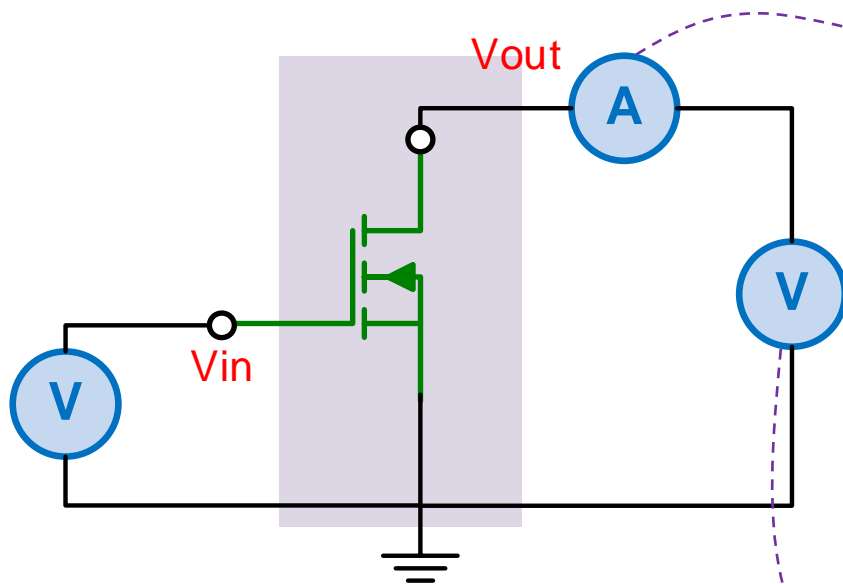
CURVAS CARACTERÍSTICAS DE SALIDA



En el modo lineal el canal está formado enteramente de la fuente al drenador, luego se cumple:

$$V_{GS} > V_T \text{ y } V_{DS} < V_{GS} - V_T$$

La corriente fluye por el canal del drenador a la fuente y se incrementa con V_{DS} . Es similar a una resistencia.



Cuando el potencial efectivo de puerta es inferior al potencial entre el drenador y la fuente, o sea...

$$V_{DS} > V_{GS} - V_T$$

el transistor se encuentra en **saturación** . Como ya hemos visto anteriormente, en esta situación, el canal apenas alcanza el drenador y la corriente no aumenta proporcionalmente con la tensión de drenador ($I_D = cte$). El transistor se comporta como una fuente ideal de corriente.

A=Amperímetro
V=Voltímetro

ENMOS

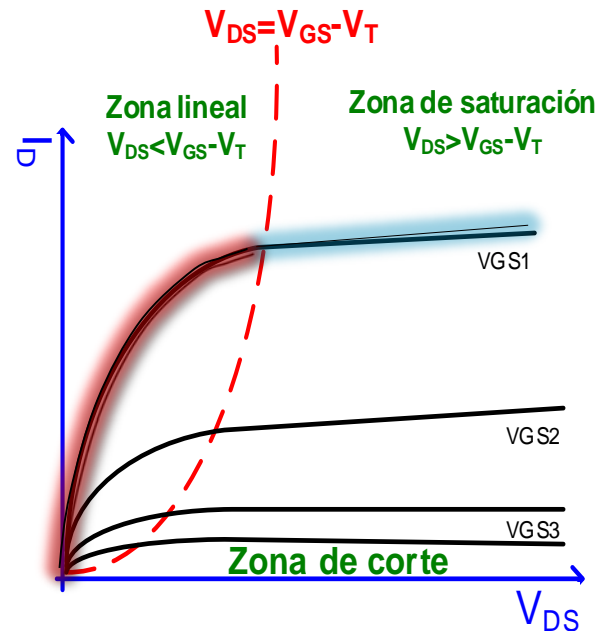
ECUACIONES DE SALIDA



Zona lineal

$$V_{gs} > V_t ; V_{ds} < (V_{gs} - V_t)$$

$$i_D = k \left[(v_{GS} - V_t) v_{DS} - \frac{v_{DS}^2}{2} \right]$$



Zona de saturación

$$V_{gs} > V_t ; V_{ds} > (V_{gs} - V_t)$$

$$i_D = \frac{k}{2} [v_{GS} - V_t]^2$$

Zona de Corte

$$I_g = 0 ; V_{GS} < V_t$$

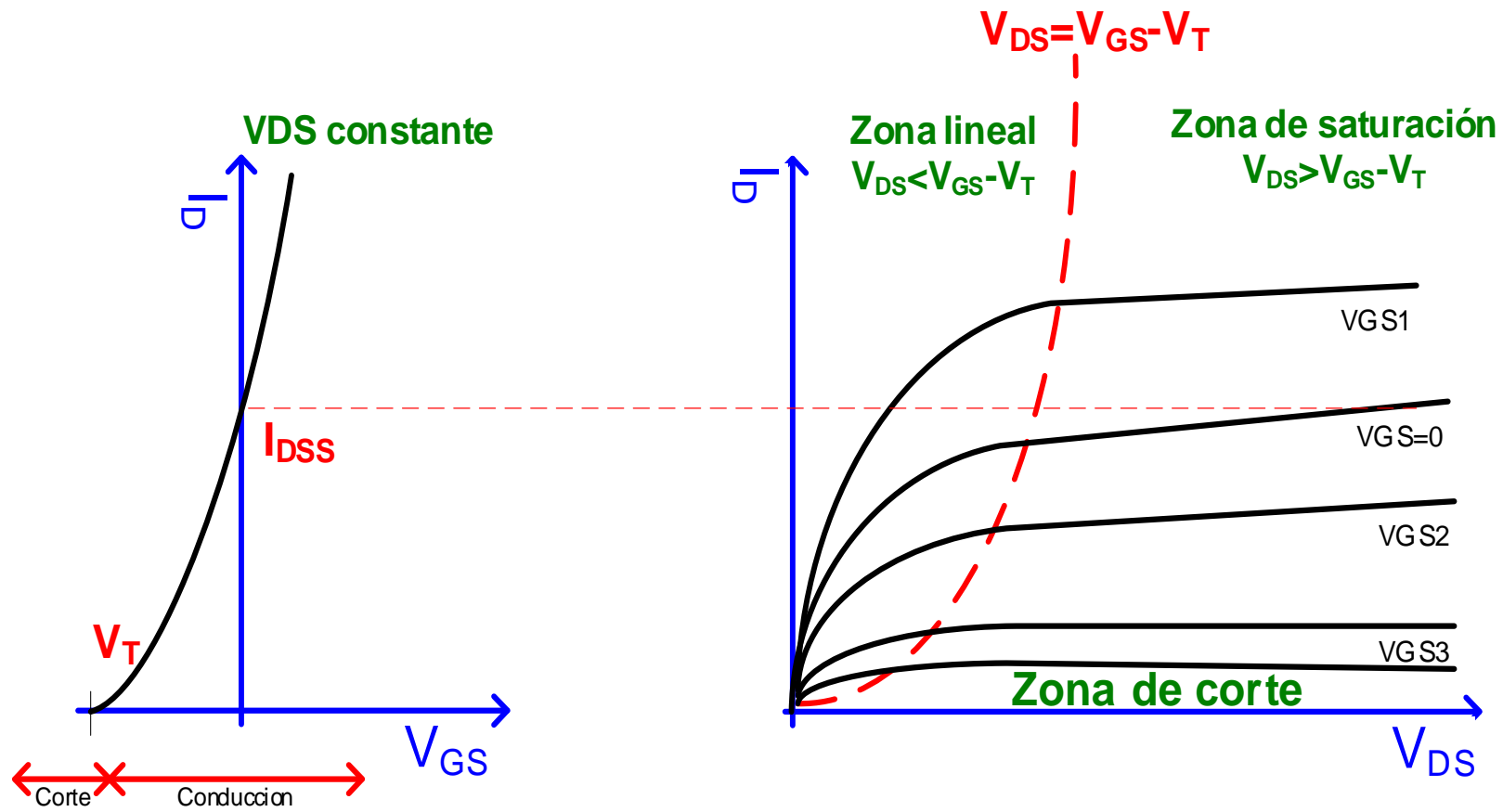
$$I_D = 0$$

■ “**k**” es una constante igual a: $k = KW/L$. En donde **W** y **L** son la anchura y longitud del canal, respectivamente, y **K** es el llamado parámetro de transconductancia, específico de cada transistor.

■ **V_t** es la tensión umbral

DNMOS

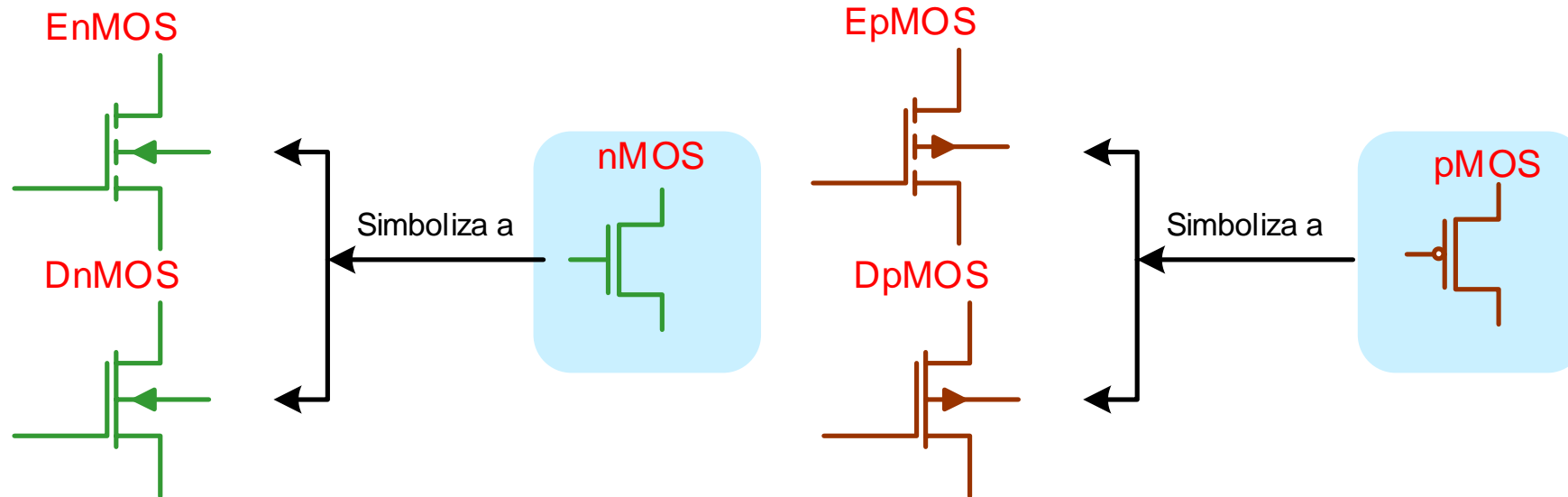
CURVAS CARACTERÍSTICAS



SIMBOLOGÍA SIMPLIFICADA (1)



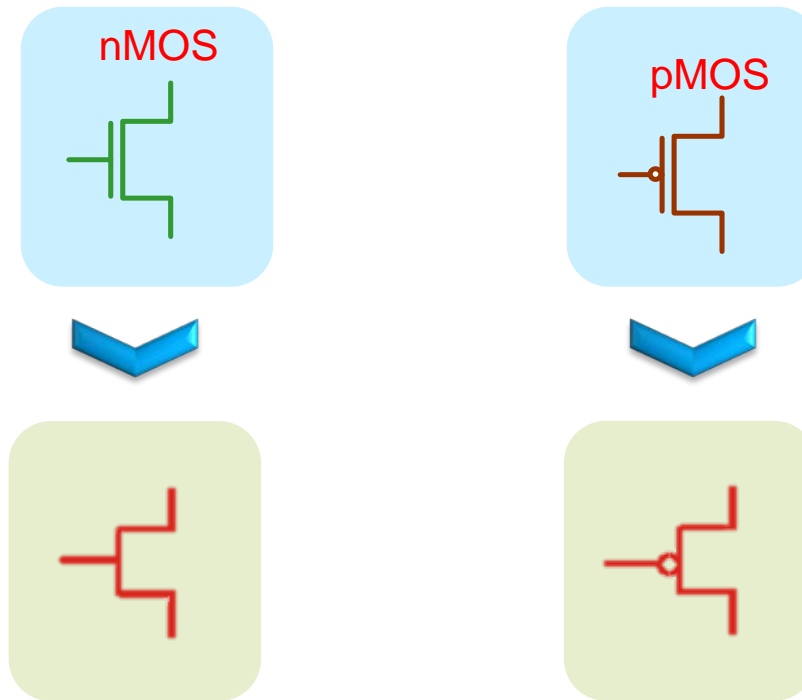
- Hasta ahora los símbolos esquemáticos MOSFET utilizados muestran el drenador (D), la puerta (G), la fuente (S) y el sustrato que está sin conectar.
- En los símbolos simplificados propuestos no se indica la conexión del sustrato.
 - Además, las puertas de los dispositivos de canal p y n difieren.
 - El dispositivo de canal p se identifica por una "burbuja" en la entrada de la puerta. En cambio, el dispositivo de canal n no tiene la "burbuja". La presencia o ausencia de una "burbuja" en la entrada de la puerta se utiliza para significar el nivel lógico que hace conducir al transistor (ON).



SIMBOLOGÍA SIMPLIFICADA (2)

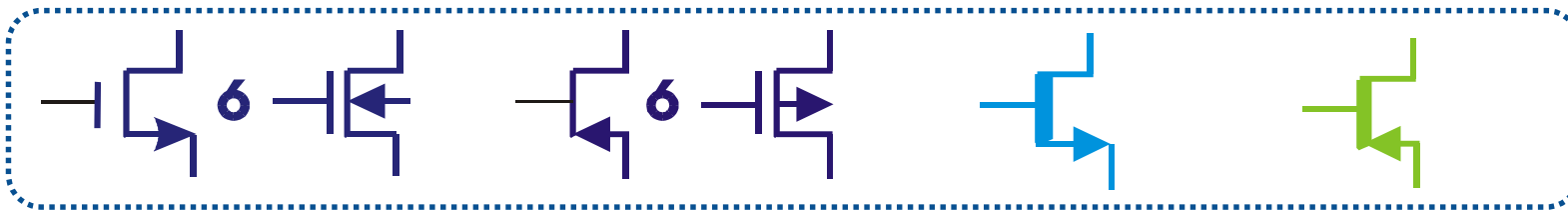
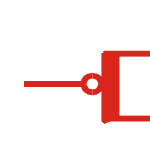
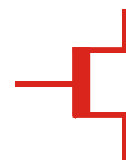
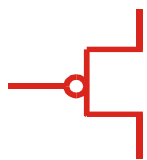
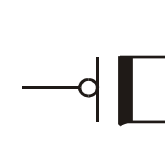
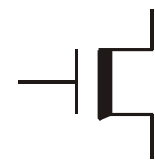
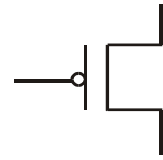
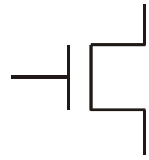


■ Notación moderna mas simplificada

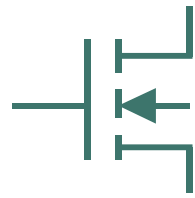


SIMBOLOGÍA SIMPLIFICADA (Y 3)

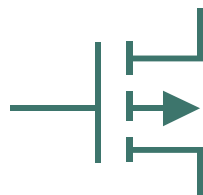
RESUMEN Y OTROS SÍMBOLOS



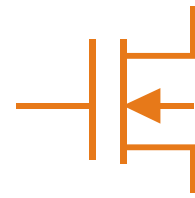
Simbología menos usada



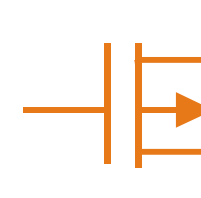
EnMOS



EpMOS



DnMOS



DpMOS

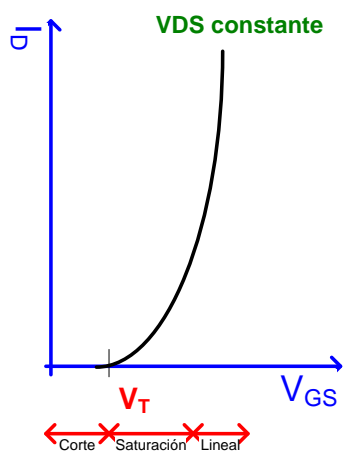
MODOS DE FUNCIONAMIENTO

EJEMPLO 1



Determinar el modo de funcionamiento del transistor en el circuito de la figura

El símbolo nos indica que es un nMOS de acumulación, como $V_G > V_T$, está en conducción (ver la gráfica de entrada).

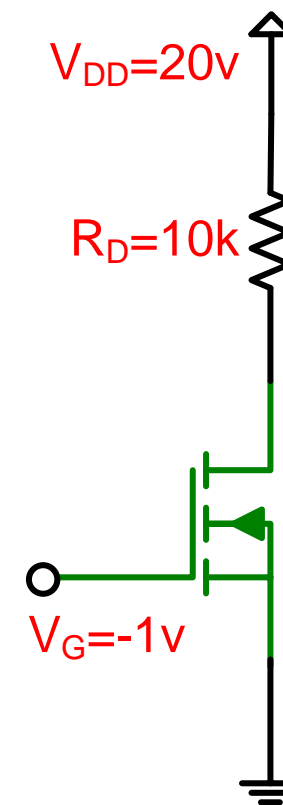


Si lo suponemos saturado, tendría que cumplirse:

$$I_D = \frac{K}{2} [V_{GS} - V_T]^2 \Rightarrow I_D = 4 \text{ mA}$$

Con este resultado analizamos la malla de salida y obtenemos:

$$V_{DD} = V_{DS} + I_D R \Rightarrow 20 = V_{DS} + 40 \quad \boxed{V_{DS} = -20 \text{ V}}$$



Datos

$$V_t = -3 \text{ V}$$

$$\frac{K}{2} = 1 \text{ mA/V}^2$$

Como no se cumple que $V_{DS} > V_{GS} - V_T$ el transistor está en la **zona lineal**

MODOS DE FUNCIONAMIENTO

EJEMPLO 2



Determinar el modo de funcionamiento y el valor de R para que $I_D = 0,4 \text{ mA}$

Por la manera en que está conectado EnMOS $V_{DS} = V_{GS}$

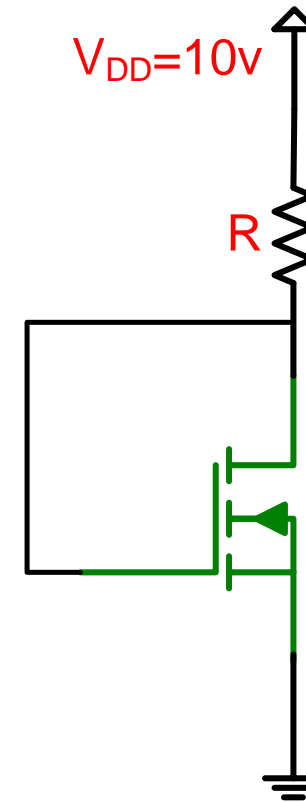
Por lo tanto, se cumple que $V_{DS} > V_{GS} - V_t$ y el transistor opera en saturación.

La ecuación que describe su comportamiento en saturación es:

$$I_D = \frac{K}{2} [V_{GS} - V_T]^2 \quad \Rightarrow \quad 1 = [V_{GS} - 1]^2 \quad \left\{ \begin{array}{l} V_{GS} = 2\text{V} \\ V_{GS} = 0\text{V} \end{array} \right.$$

La segunda solución no es viable pues $V_{GS} > V_t$

$$V_{DD} = V_{DS} + I_D R \quad \Rightarrow \quad 10 = V_{DS} + 0,4 \cdot R \quad \Rightarrow \quad \boxed{R = 20\text{k}}$$



Datos

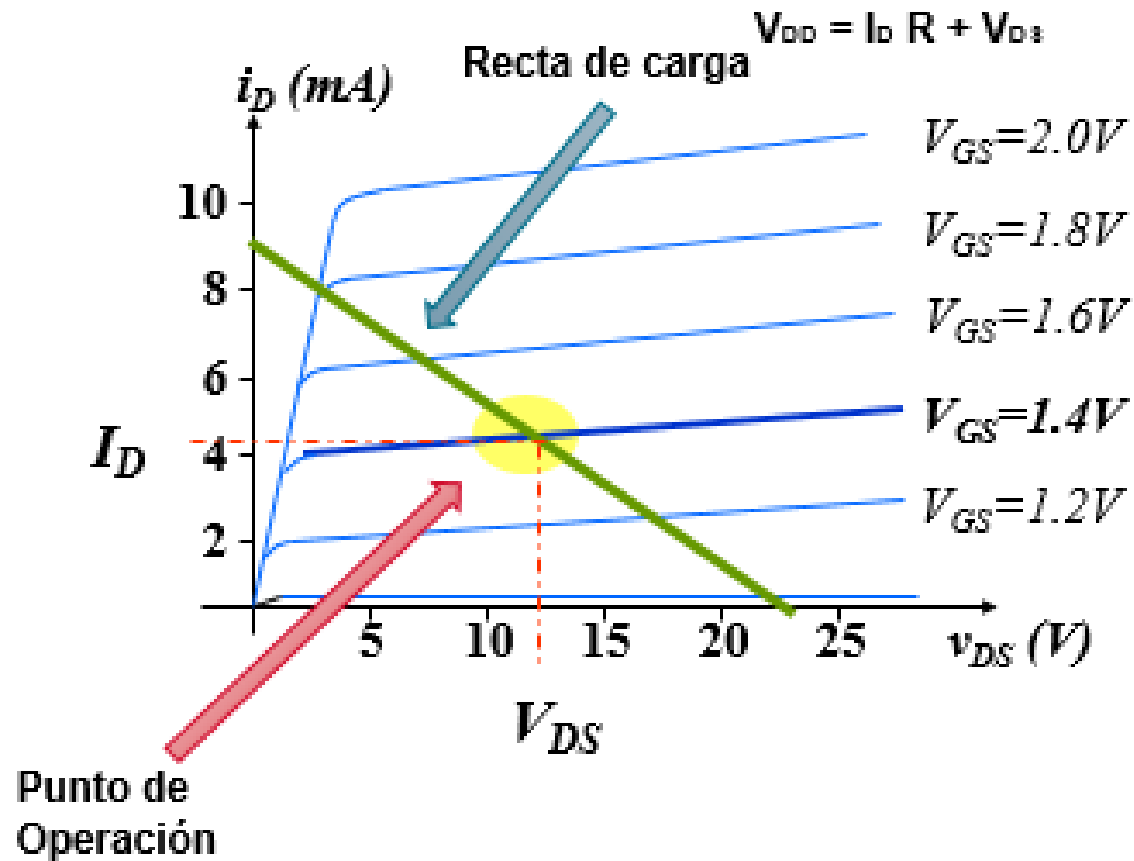
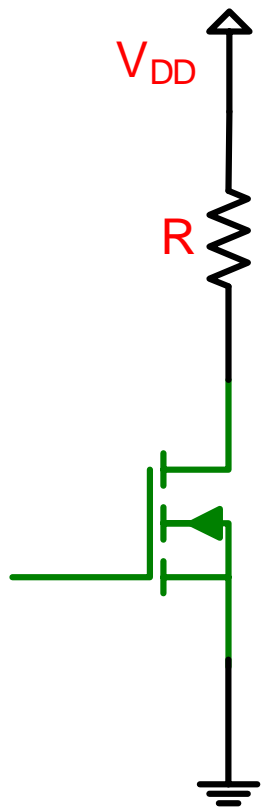
$$V_t = 1 \text{ V}$$

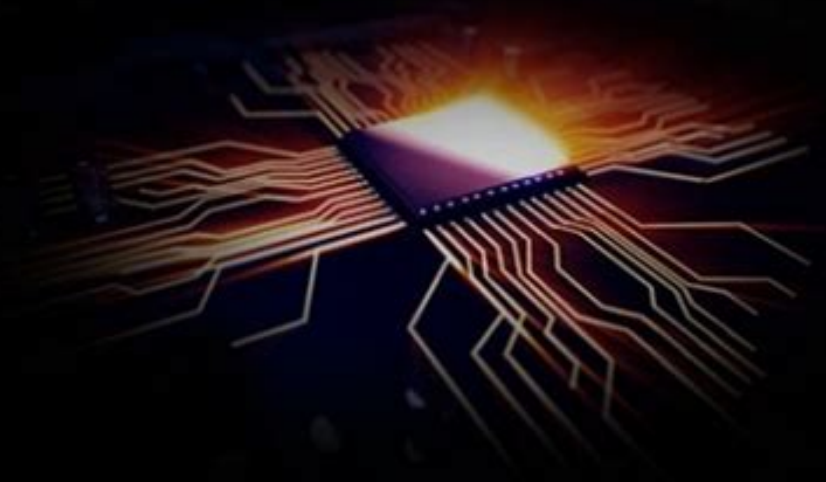
$$K = 0.8 \text{ mA/V}^2$$

RECTA DE CARGA Y PUNTO DE FUNCIONAMIENTO DE OPERACIÓN



Suponiendo que se conoce V_{GS} del punto de operación





LÓGICA CON nMOS

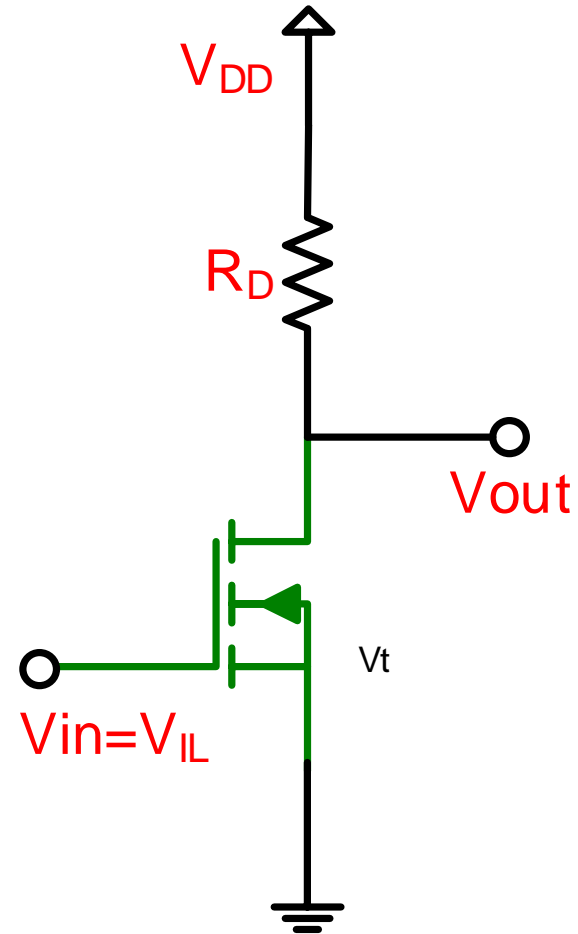
1. El inversor
2. El MOS como resistencia de pull-up
3. La puerta NOR
4. La puerta NAND
5. La lógica pseudo-nMOS

EL INVERSOR MOS



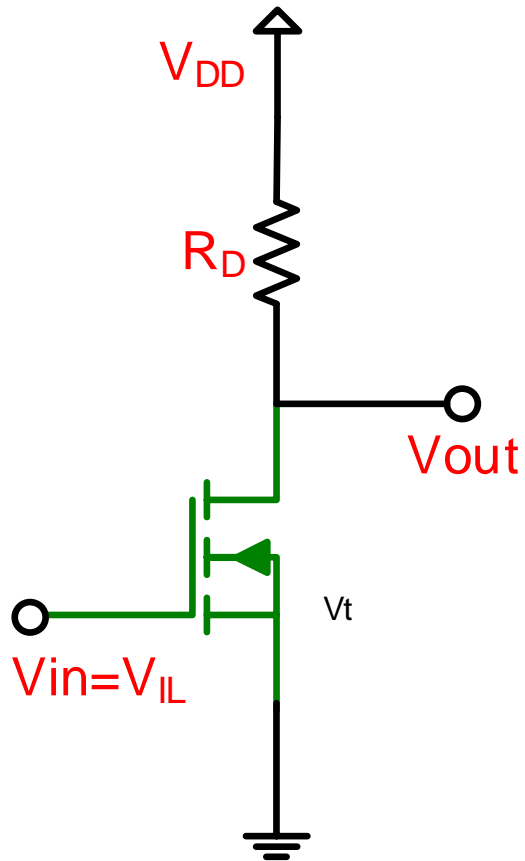
■ El primer tipo de inversor MOS que se construyó fue muy similar al inversor construido con transistores bipolares

■ Esto es, una estructura simple que conecta una **resistencia** en serie de *pull-up* con el **drenador** de un transistor MOS



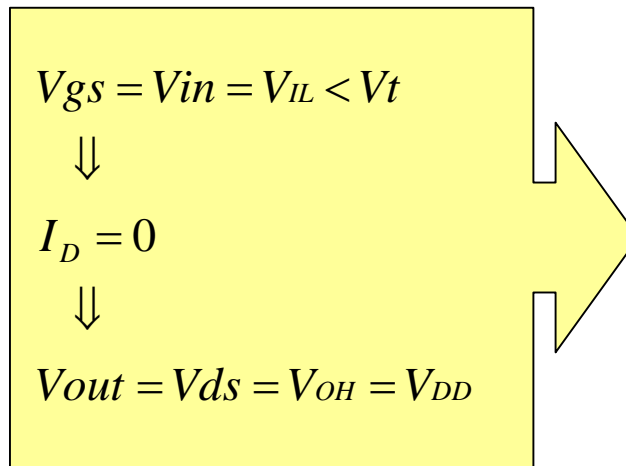
EL INVERSOR MOS

ANÁLISIS DEL INVERSOR nMOS: CORTE

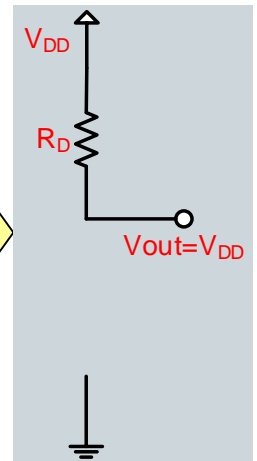


Entrada: Nivel bajo (V_{IL})

Análisis



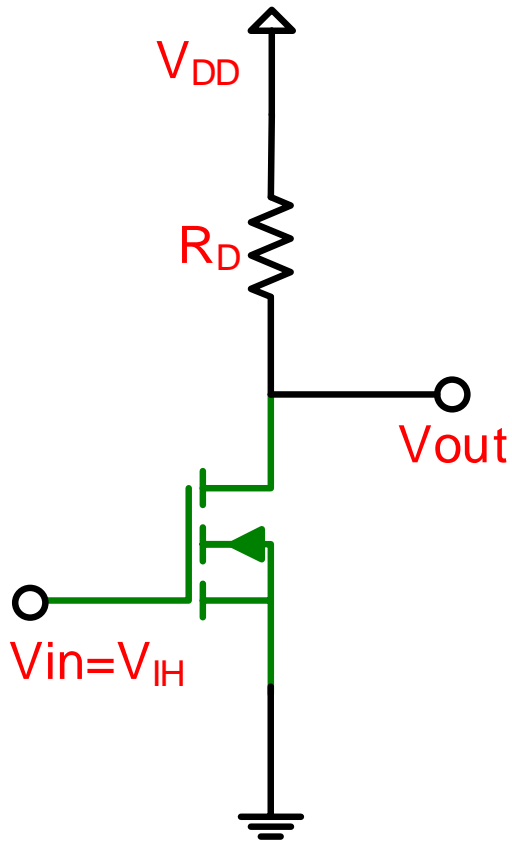
Circuito equivalente



Salida: Nivel alto (V_{DD})

EL INVERSOR MOS

ANÁLISIS DEL INVERSOR nMOS: SATURACIÓN



Entrada: Nivel alto (IH)

Análisis

El EnMOS conduce ya que

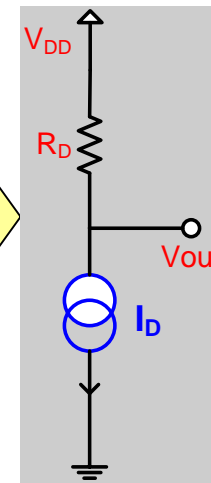
$$V_{gs} = V_{in} > V_t \Rightarrow I_D \neq 0$$

Por otro lado la resistencia de carga se dimensiona para que se cumpla...

$$|V_{ds}| > |V_{gs} - V_t| \Rightarrow \text{Saturación}$$

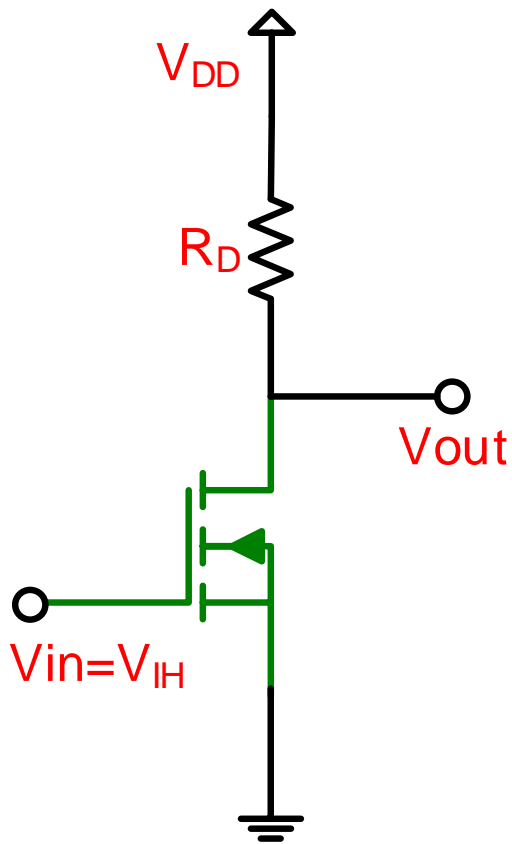
$$V_{out} = V_{ds} = V_{DD} - I_D R_D$$

Circuito equivalente



EL INVERSOR MOS

ANÁLISIS DEL INVERSOR nMOS: ZONA LINEAL



Entrada: Nivel alto (IH)

Análisis

El EnMOS conduce ya que

$$V_{gs} = V_{in} > V_t \Rightarrow I_D \neq 0$$

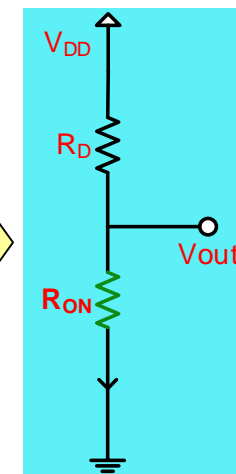
Por otro lado la resistencia de carga se dimensiona para que se cumpla...

$$|V_{ds}| < |(V_{gs} - V_t)| \Rightarrow \text{zona lineal}$$

En esta zona se comporta como una resistencia de bajo valor R_{ON}

$$V_{out} = V_{ds} = V_{DD} \frac{R_{ON}}{R_{ON} + R_D} \cong 0$$

Circuito equivalente



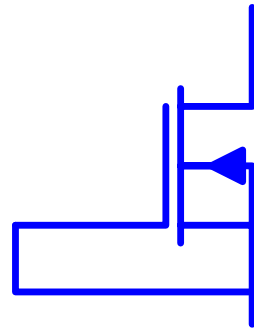
Salida: Nivel bajo

EL MOS COMO RESISTENCIA DE *PULL-UP*



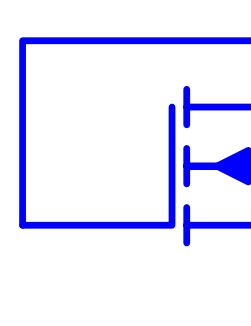
- En contraste con la tecnología bipolar, las resistencias raras veces son usadas como el elemento de *pull-up* en un inversor, debido a que ocupan un área 10 veces, o más, superior a un transistor y su implementación es cara.
 - Por ello, **se usan los transistores de deplexión y acumulación en lugar de resistencias** que aportan beneficios como la simplificación del proceso de fabricación y mayor corriente

$$V_{gs} = 0$$
$$\Downarrow$$
$$V_{ds} > 0 - V_t$$



En la figura, se puede apreciar que $V_{gs}=0$, por tanto se cumplirá la condición de saturación:
 $V_{ds} > V_{gs}-V_{th}$

$$V_{gs} = V_{ds}$$
$$\Downarrow$$
$$V_{ds} > V_{ds} - V_t$$

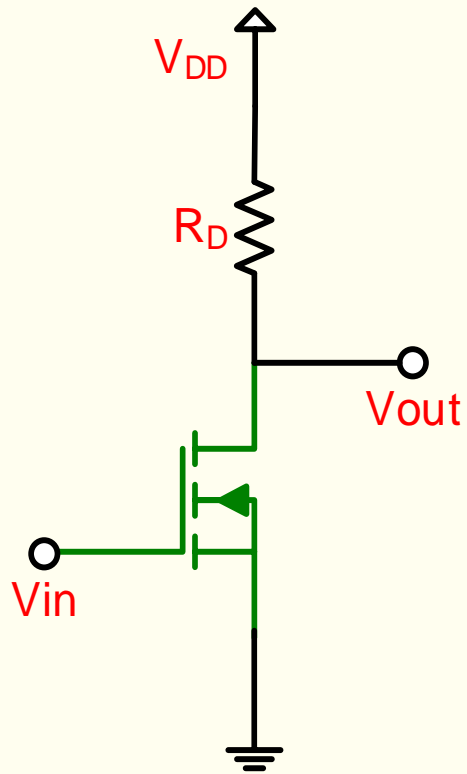


En la figura, se puede apreciar que $V_{gs}=V_{ds}$, por tanto se cumplirá la condición de saturación:
 $V_{ds} > V_{gs}-V_{th}$

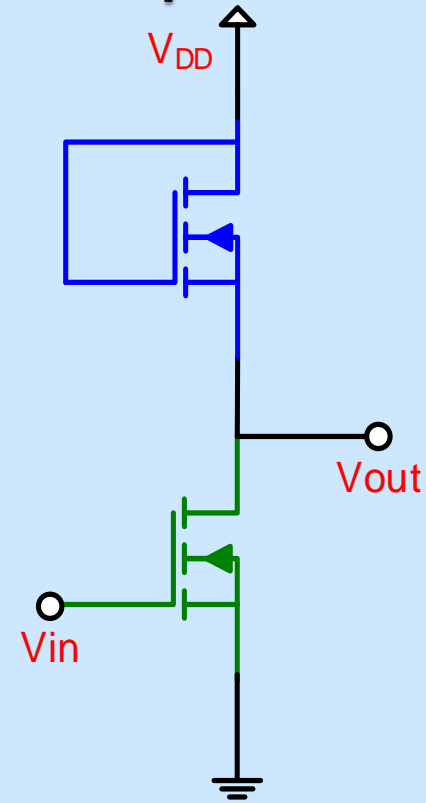
EVOLUCIÓN DEL INVERSOR NMOS



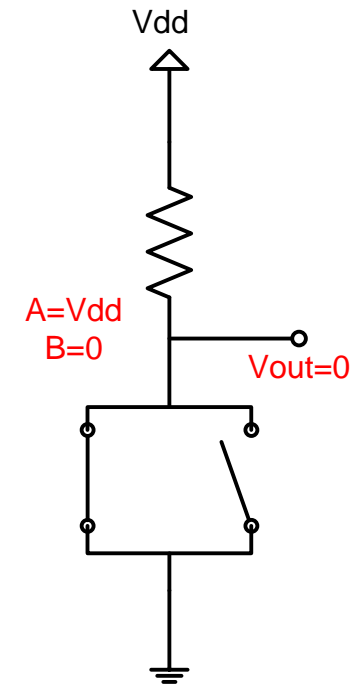
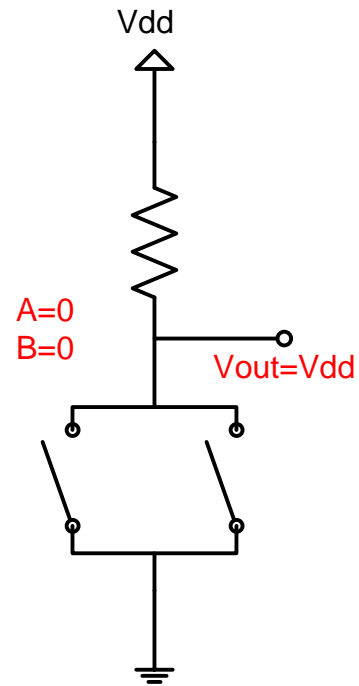
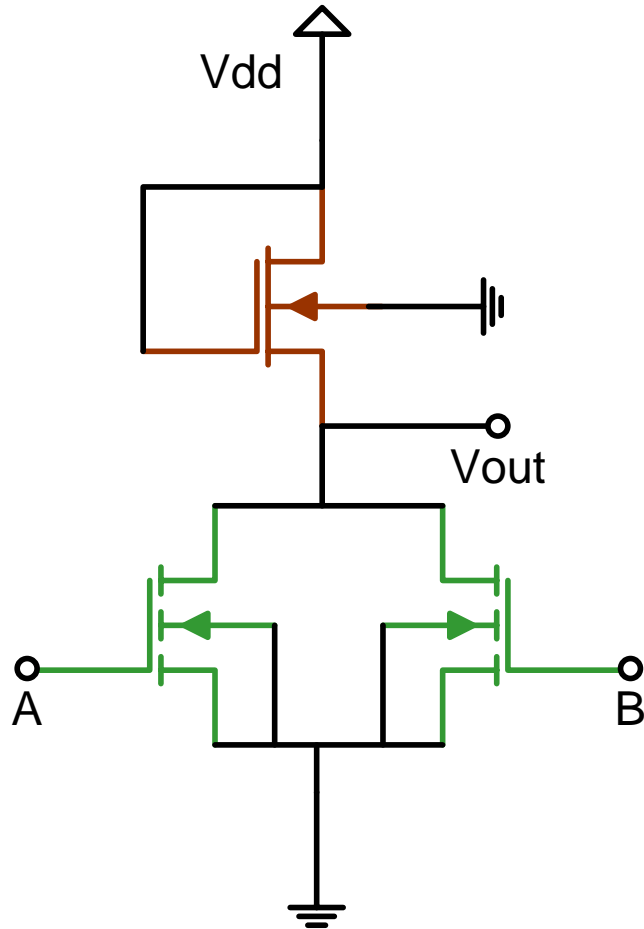
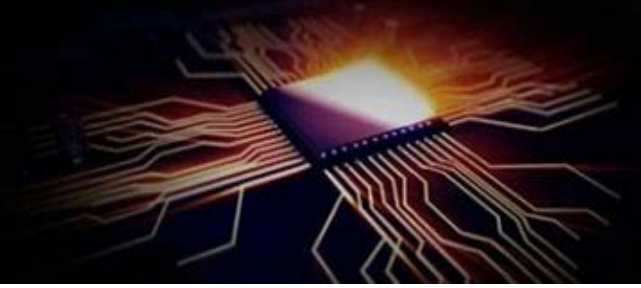
Pull-up pasivo



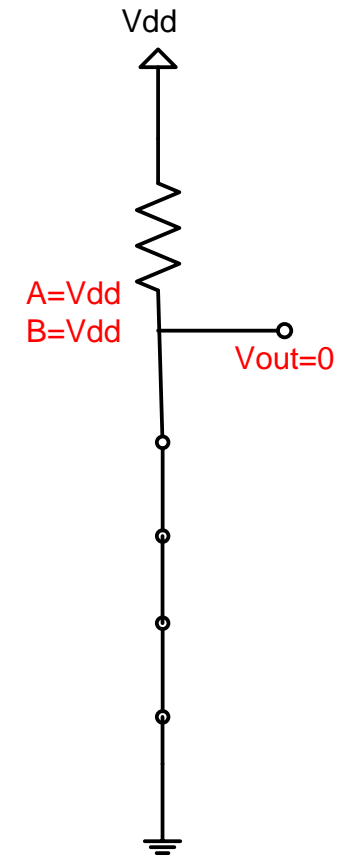
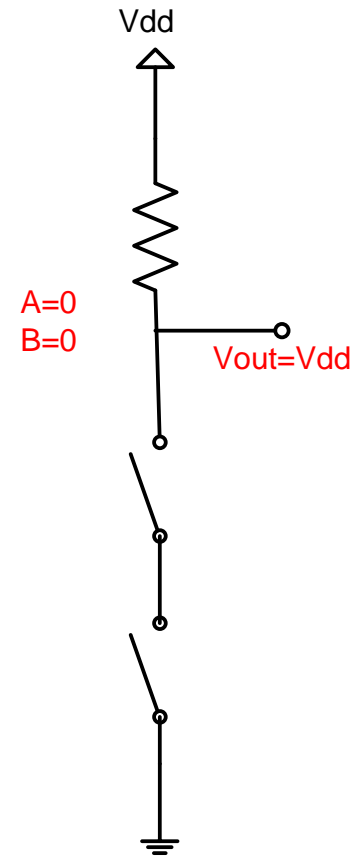
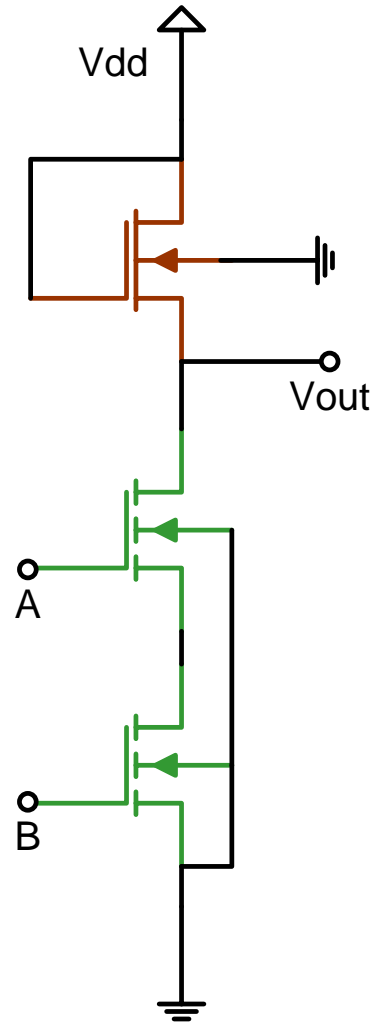
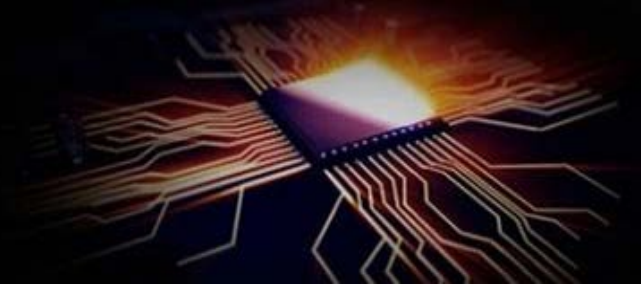
Pull-up activo

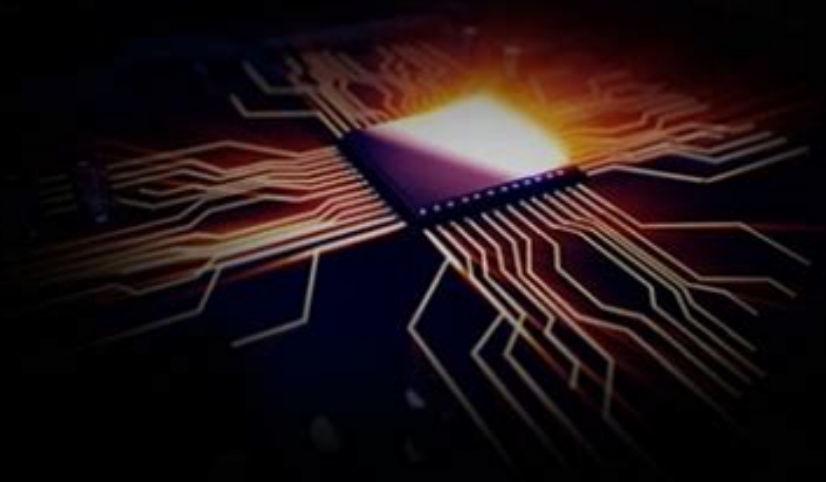


PUERTA NOR nMOS



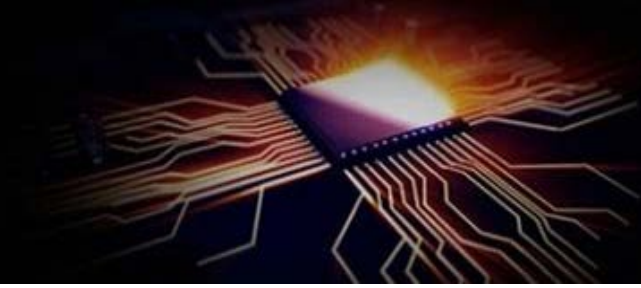
PUERTA NAND nMOS



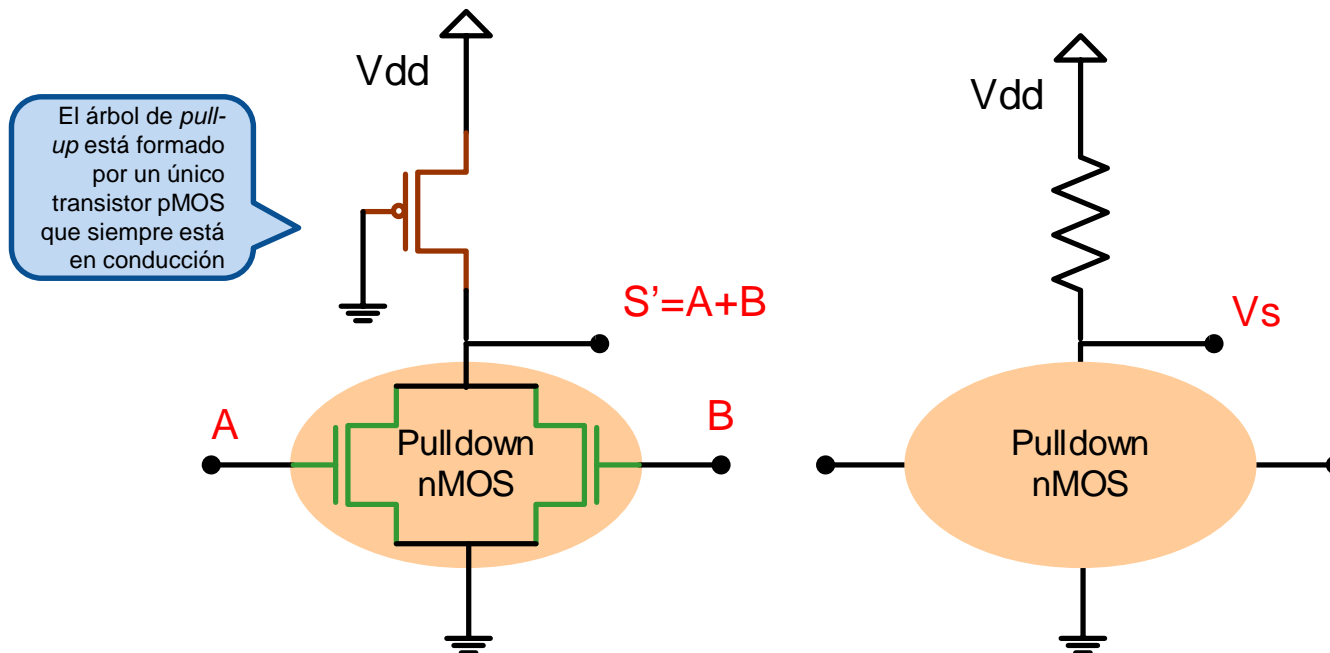


LÓGICA PSEUDO-NMOS

LÓGICA PSEUDO-nMOS



- Como ya hemos visto en las anteriores dispositivas, se pueden construir puertas lógicas usando transistores nMOS y resistencias de *pull-up*, que pueden hacerse con transistores MOS depleción (conducen cuando $V_{gs}=0$).
 - Esta lógica recibe el nombre de **lógica pseudo-nMOS**.

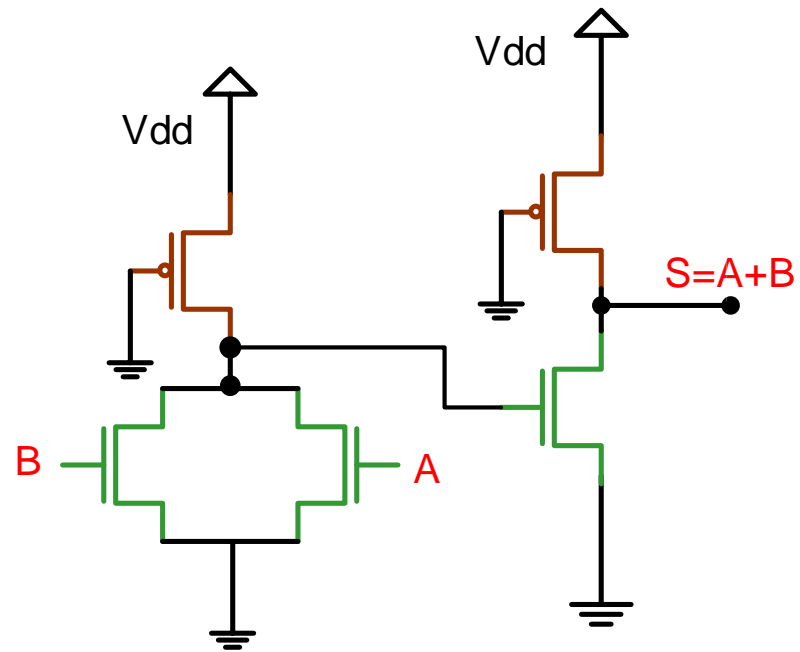
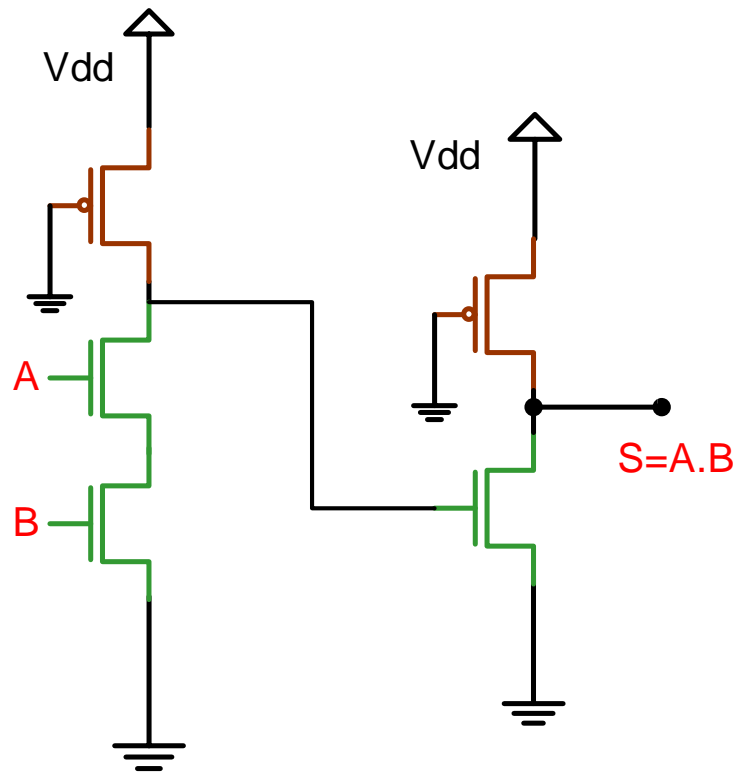


LÓGICA PSEUDO-nMOS

PUERTA AND Y OR

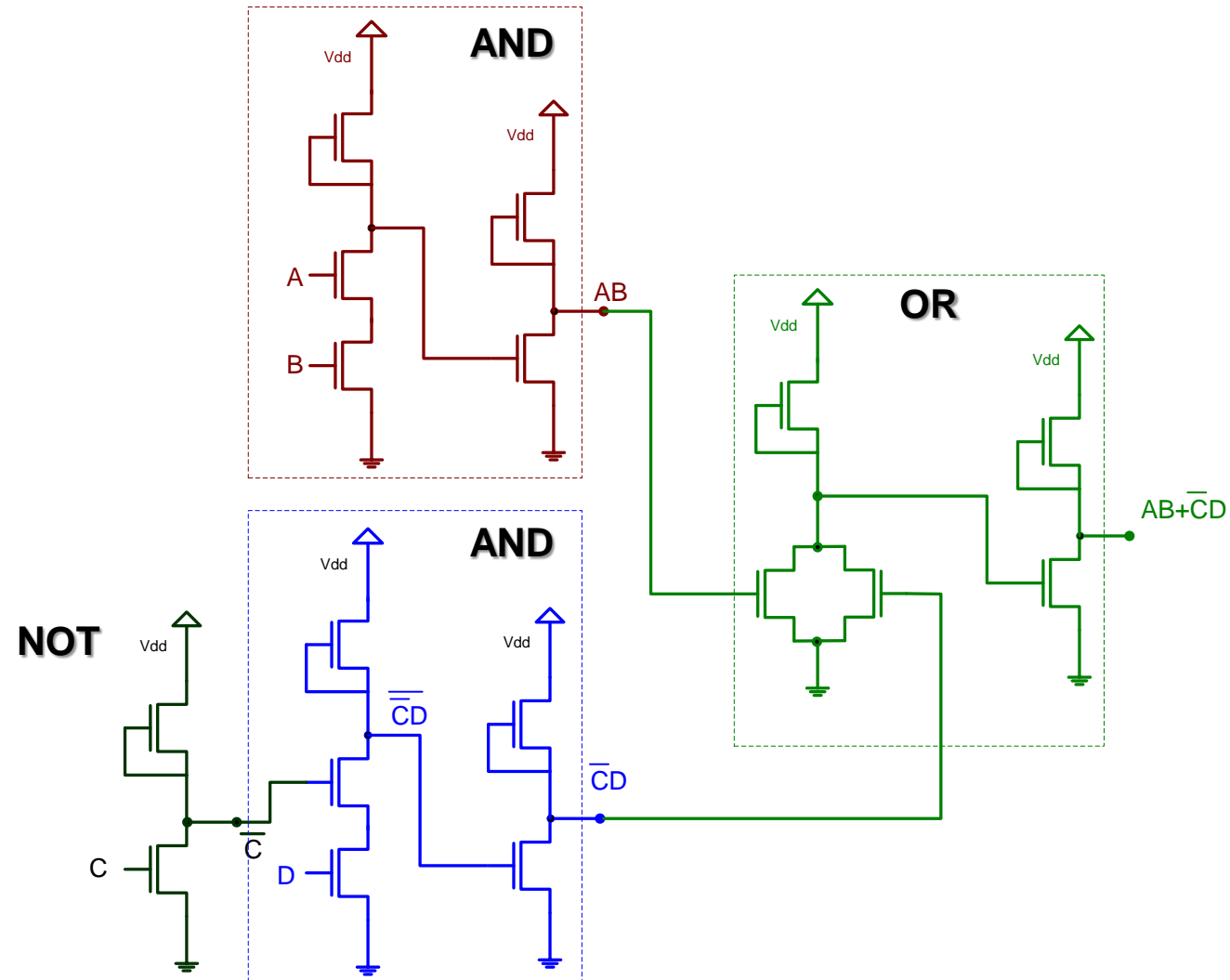


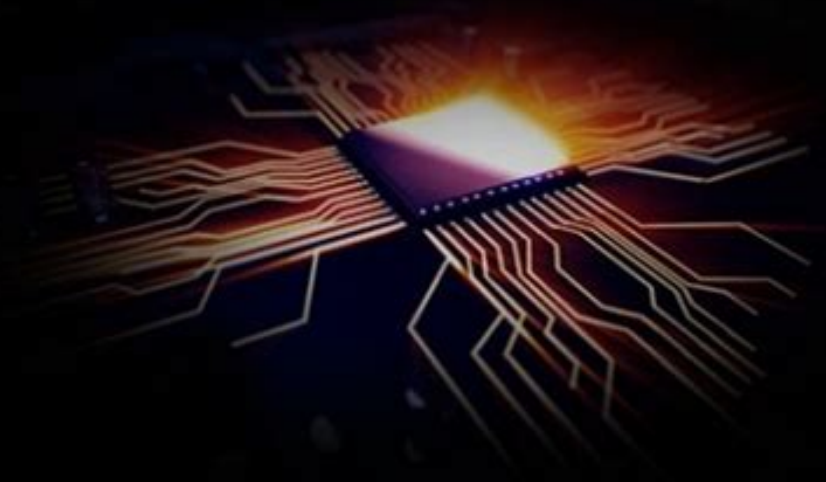
- Añadiendo un inversor a la puerta NAND se puede conseguir una implementación AND con nMOS o también una OR



LÓGICA PSUDO-nMOS

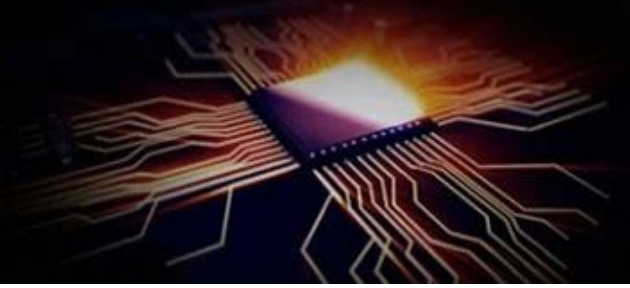
DISEÑO COMPLEJO





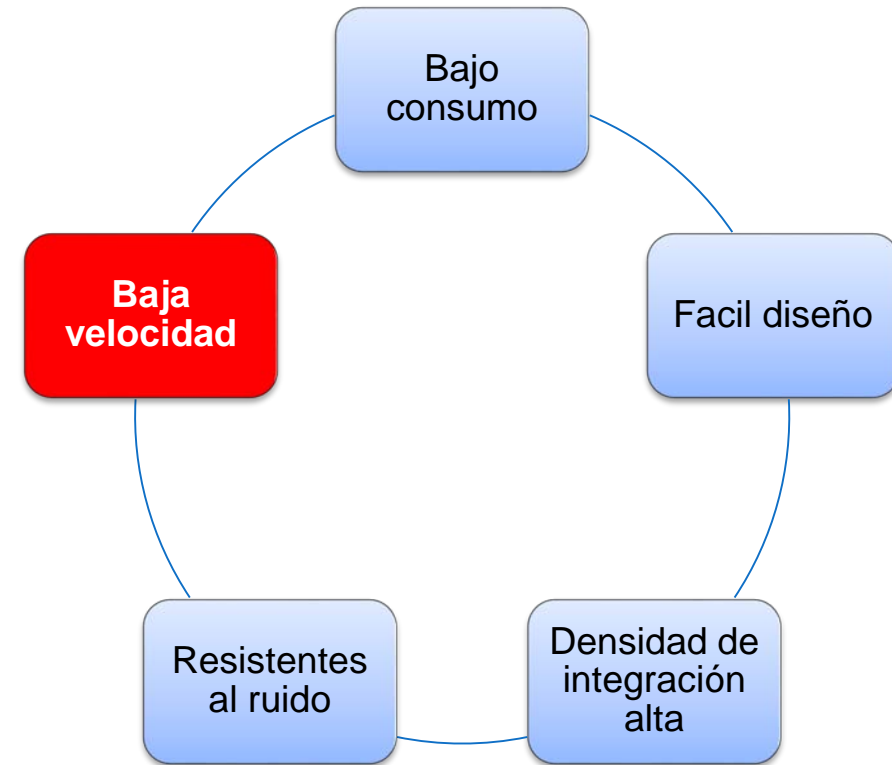
LÓGICA CON CMOS

1. Introducción
2. El inversor
3. El MOS como resistencia de pull-up
4. La puerta NOR
5. La puerta NAND
6. La lógica pseudo-nMOS



■ La tecnología CMOS (*complementary metal-oxide-semiconductor*) es una de las más empleadas en la fabricación de circuitos integrados.

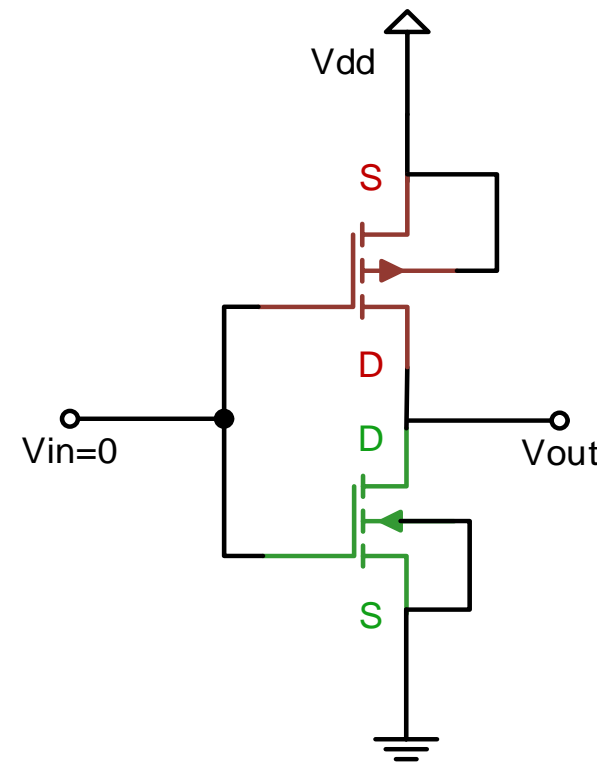
- Fue desarrollada por Wanlass y Sah, de **Fairchild Semiconductor**, a principios de los años 60
- Su principal característica consiste en la **utilización conjunta de transistores de tipo pMOS y tipo nMOS**



EL INVERSOR CMOS

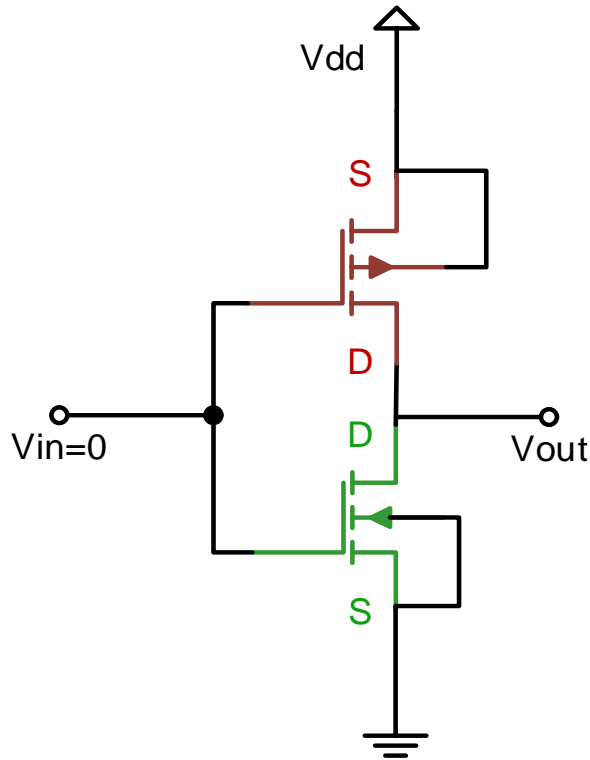
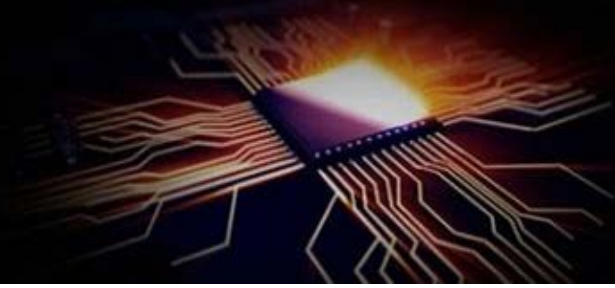


- Un circuito inversor CMOS se compone de dos MOSFETs. La parte superior es un transistor de tipo **EpMOS**; mientras que el transistor inferior es un tipo **EnMOS**. Los sustratos están conectados respectivamente a la alimentación y la masa. Ambas puertas (g) están conectadas a la línea de entrada. La línea de salida se conecta a los drenadores de ambos MOSFETs.
- Los dos MOSFETS deben estar **perfectamente emparejados** para un funcionamiento óptimo, es decir, deben tener el mismo parámetro de tensión umbral (V_T).



EL INVERSOR CMOS

ANÁLISIS ESTÁTICO: NIVEL BAJO



Análisis

$$V_{in} = V_{GSn} = 0 < V_t$$

$$V_{GSp} = -V_{dd}$$



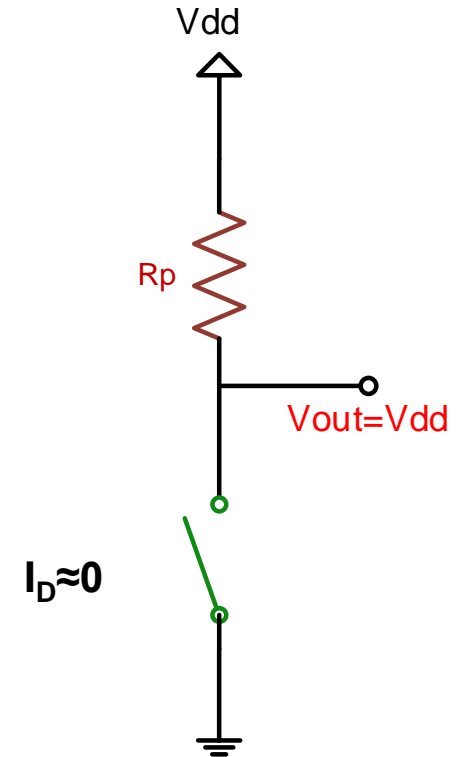
nMOS : cortado

pMOS : conduce (lineal)



$$V_{out} = V_{DD}$$

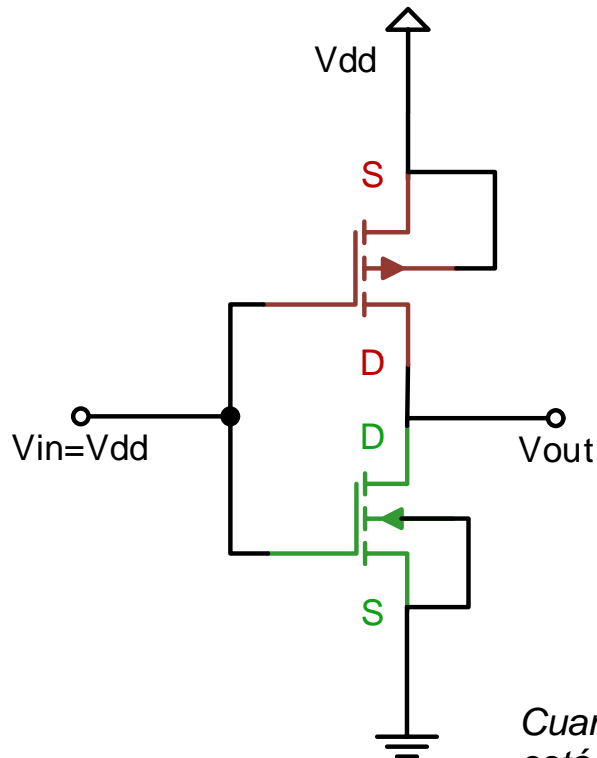
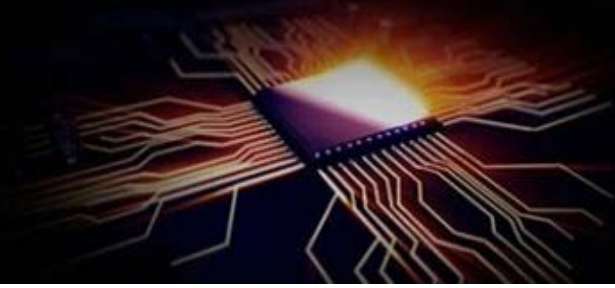
Circuito equivalente



Cuando V_{in} es bajo (0 V), los transistores *nMOS* y *pMOS* están OFF y ON (lineal) respectivamente, estableciéndose un camino entre VDD y V_{out} , a través de una pequeña resistencia R_n , dando lugar a un nivel alto de salida.

EL INVERSOR CMOS

ANÁLISIS ESTÁTICO: NIVEL ALTO



Análisis

$$V_{in} = V_{GSn} = V_{dd} > V_t$$

$$V_{GSp} = 0$$



nMOS : conduce (lineal)

pMOS : cortado

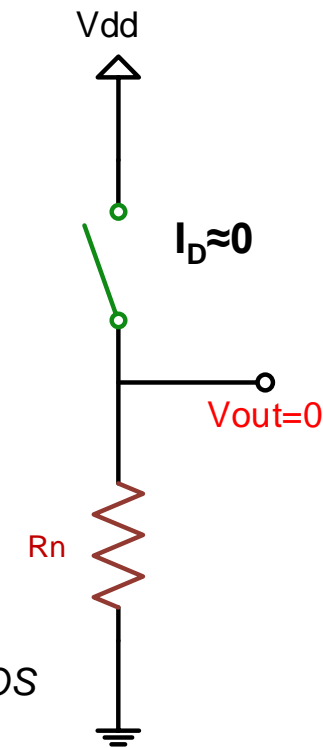


$$V_{out} = 0$$

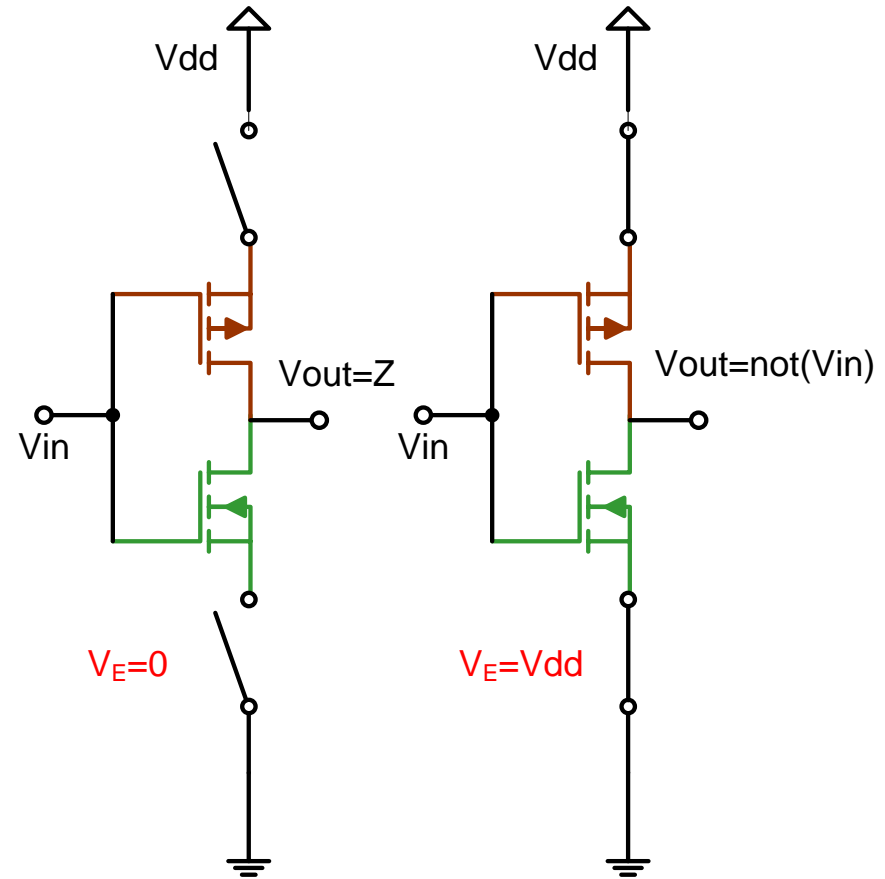
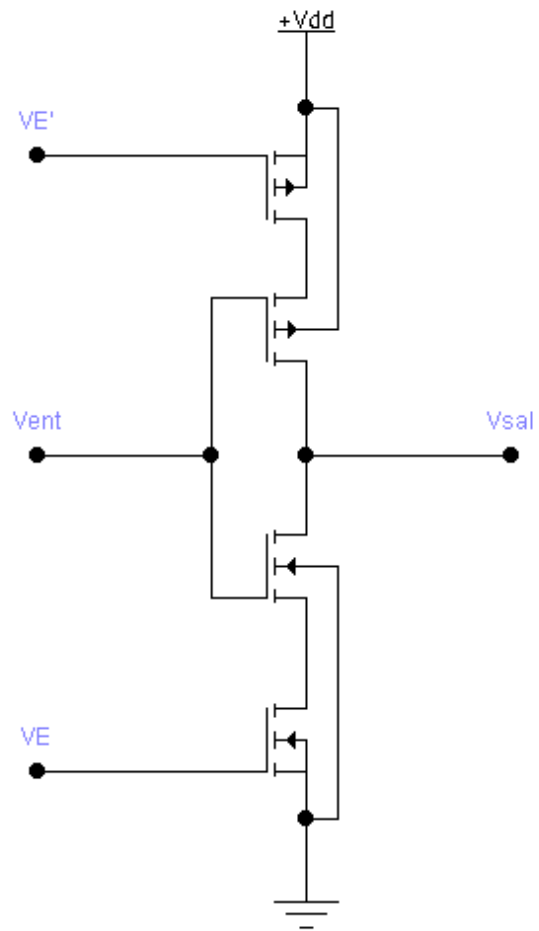
Cuando V_{in} es una tensión alta e igual a V_{dd} , el transistor $nMOS$ está ON, mientras que el $pMOS$ está OFF. Esto conduce al circuito equivalente de la figura, en la que se aprecia un camino directo entre V_{out} y la masa; resultando un valor de salida de 0v.

Finalmente, nótese que tanto en este caso como en el anterior no hay consumo de potencia

Circuito equivalente



EL INVERSOR CMOS CON SALIDA TRIESTADO



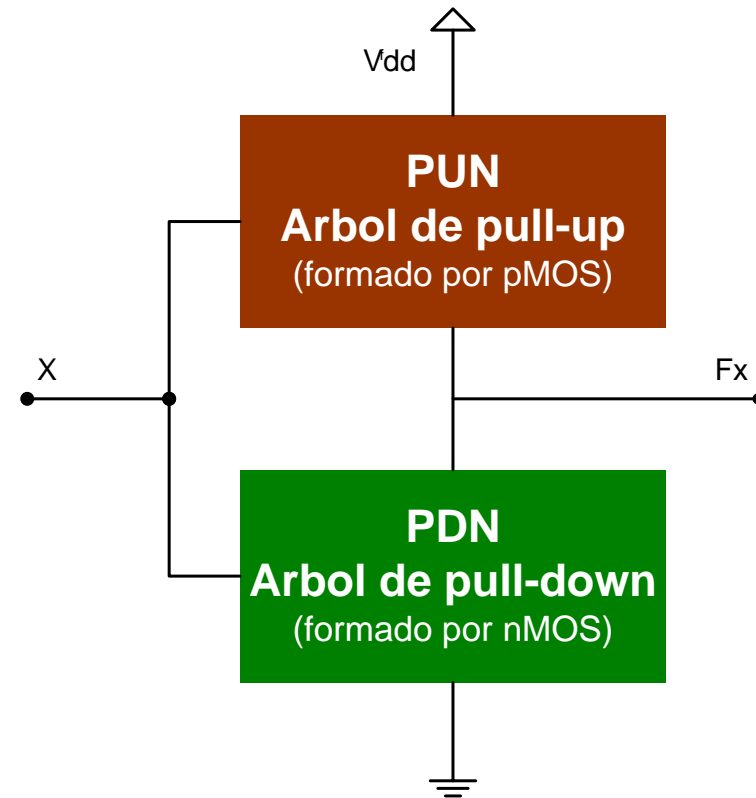
ESTRUCTURA DE LOS CIRCUITOS LÓGICOS CMOS



- Todo circuito combinacional CMOS estático se basa en la conexión de dos árboles duales con entradas comunes (x) y salida común (Fx), que en estado estacionario no conducen simultáneamente

- **Árbol de pull-up**, formado únicamente por transistores pMOS, que conectan condicionalmente (en función de las entradas) la salida a V_{dd} .

- **Árbol de pull-down**, formado únicamente por transistores nMOS, que conectan condicionalmente (en función de las entradas) la salida a V_{ss} .

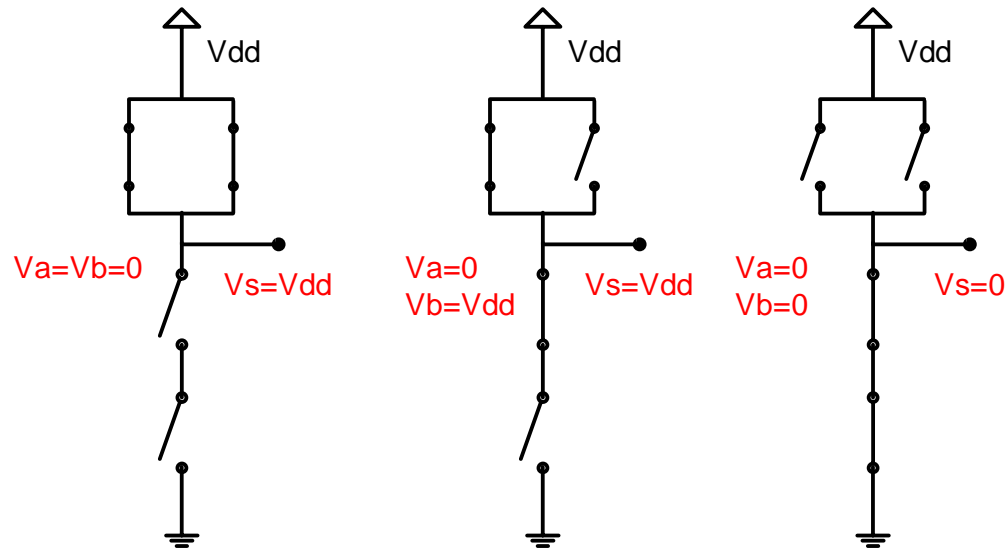
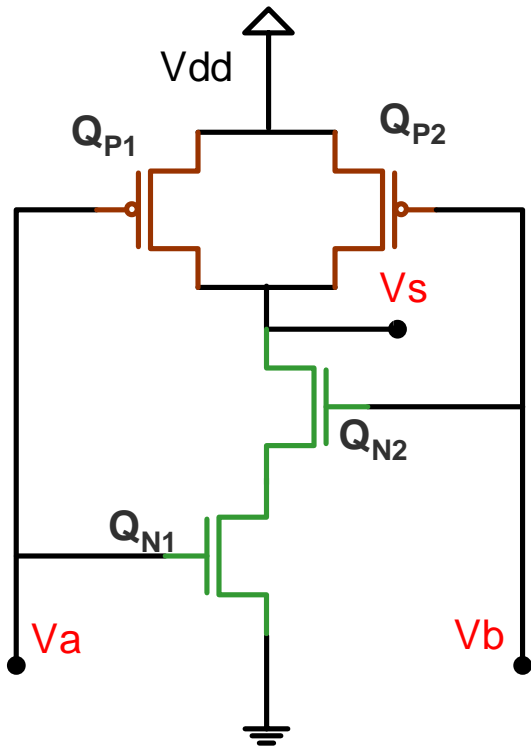


LA PUERTA NAND CMOS

ANÁLISIS ESTÁTICO



Circuitos equivalentes según las entradas



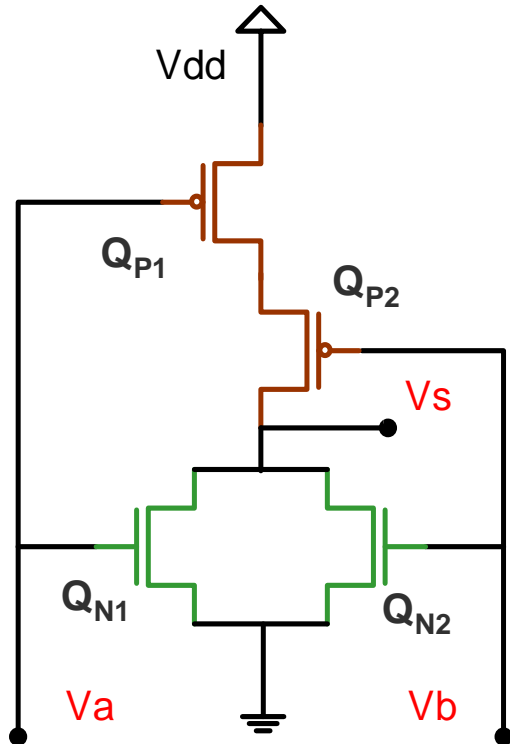
A	B	Q_{P1}	Q_{P2}	Q_{N1}	Q_{N2}	S
0	0	ON	ON	OFF	OFF	1
0	1	ON	OFF	OFF	ON	1
1	0	OFF	ON	ON	OFF	1
1	1	OFF	OFF	ON	ON	0

En una puerta NAND CMOS, las entradas en nivel alto, hacen que los transistores Q_{P1} y Q_{P2} entren en corte y ambos transistores Q_{N1} y Q_{N2} en conducción (Ver Tabla). La salida pasa a bajo (0) a través de Q_{N1} y Q_{N2} .

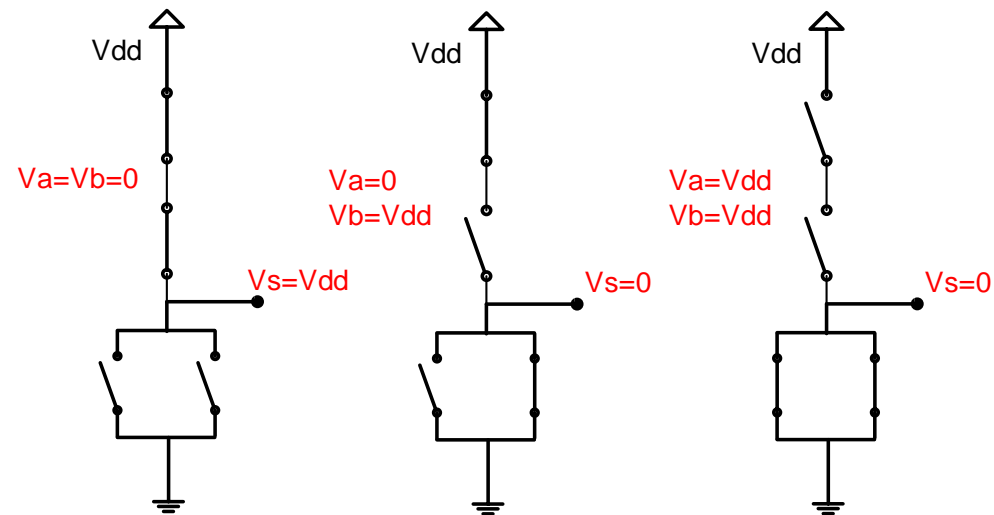
Cuando ambas entradas están en bajo, Q_{P1} y Q_{P2} entran a conducción y Q_{N1} y Q_{N2} entran a corte. La salida pasa a alto (1) a través de Q_{P1} y Q_{P2} .

LA PUERTA NOR CMOS

ANÁLISIS ESTÁTICO



Circuitos equivalentes según las entradas



A	B	Q_{P1}	Q_{P2}	Q_{N1}	Q_{N2}	S
0	0	ON	ON	OFF	OFF	1
0	1	ON	OFF	OFF	ON	0
1	0	OFF	ON	ON	OFF	0
1	1	OFF	OFF	ON	ON	0

En una puerta NOR CMOS, las entradas en nivel alto, hacen que los transistores Q_{P1} y Q_{P2} entren en corte y ambos transistores Q_{N1} y Q_{N2} en conducción (Ver Tabla). La salida pasa a bajo (0) a través de Q_{N1} y Q_{N2} .

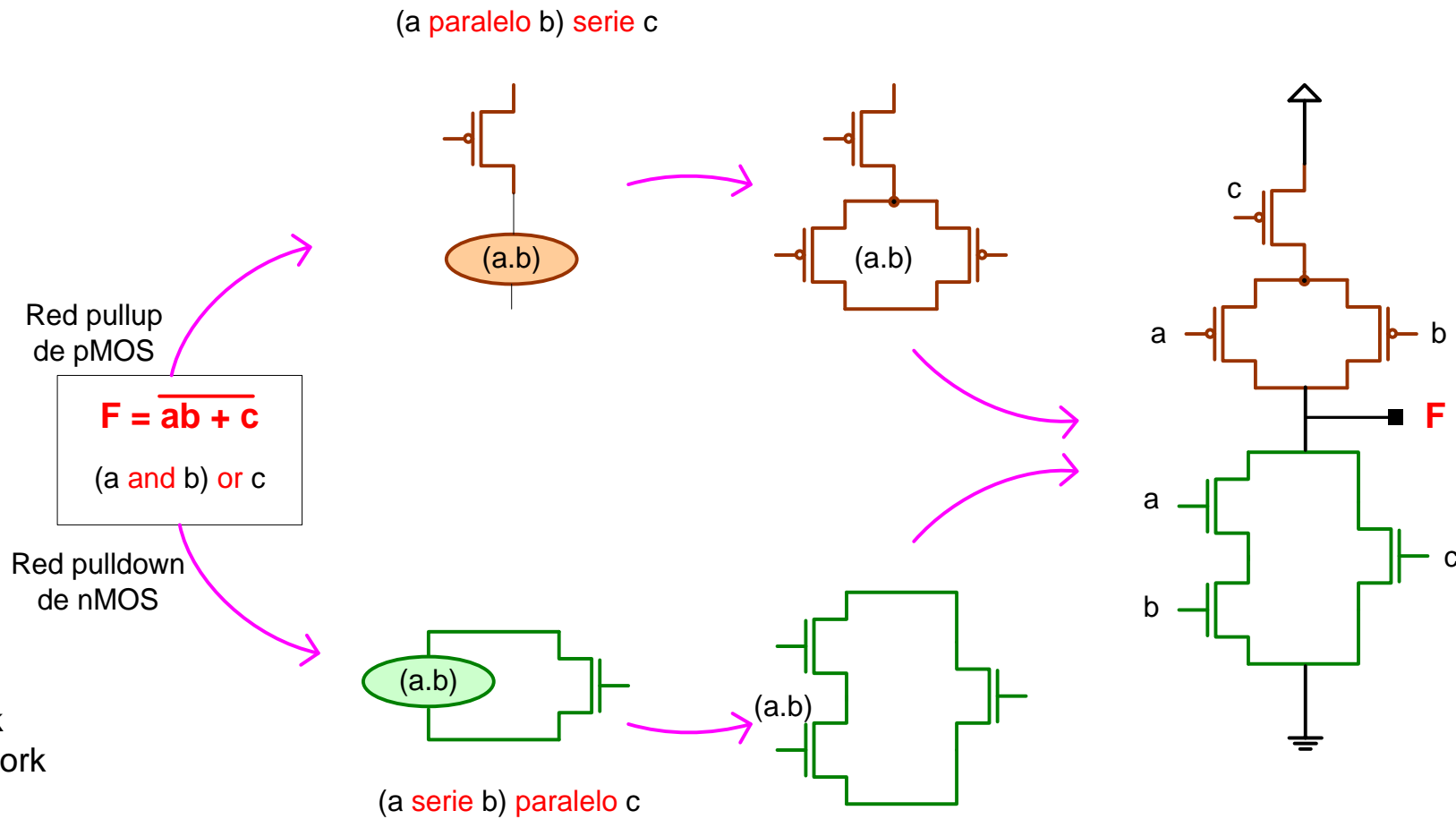
Cuando ambas entradas están en bajo, Q_{P1} y Q_{P2} entran a conducción y Q_{N1} y Q_{N2} entran a corte. La salida pasa a alto (1) a través de Q_{P1} y Q_{P2} .

LÓGICA CMOS

DISEÑO COMPLEJO (I)



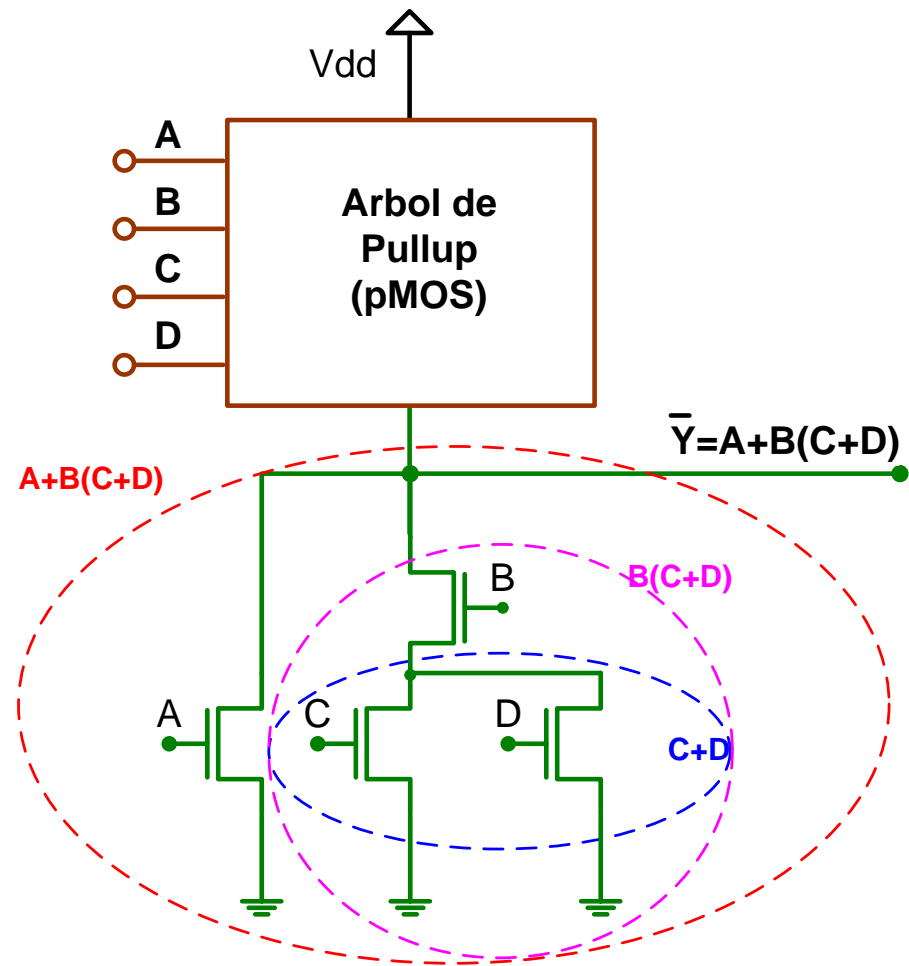
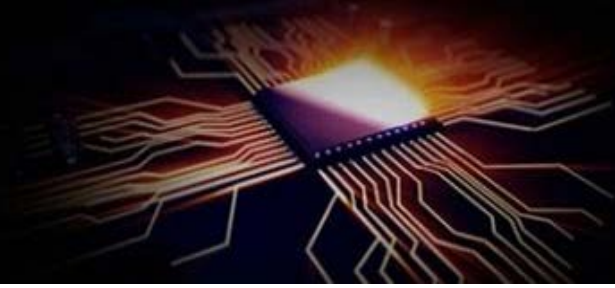
- Como se puede ver en la implementación de F , esta se divide en dos caminos: la implementación del PUN y PDN. Estas dos redes son duales.



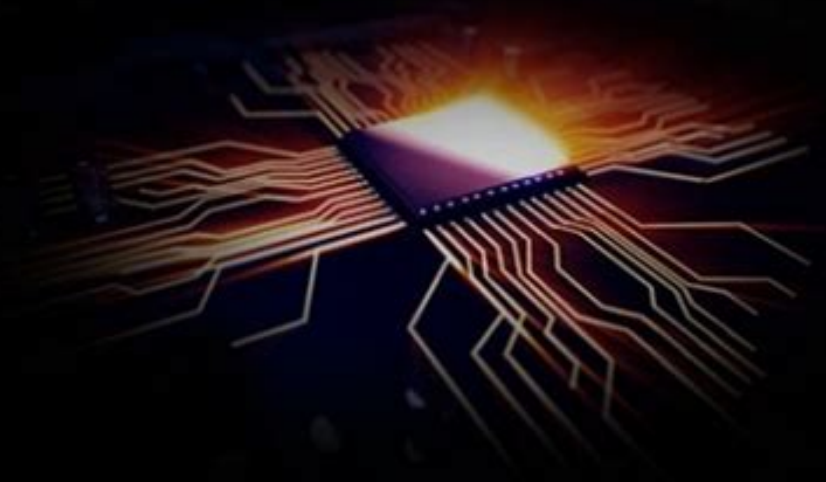
PUN: Pull-up network
PDN: Pull-down network

LÓGICA CMOS

DISEÑO COMPLEJO (II): IMPLEMENTACIÓN DE LA FUNCIÓN $A+B(C+D)$



Como se puede ver en la figura, la pulldown network (y también la PUN, aunque dual) se reduce a estructuras serie o paralelo jerarquizadas



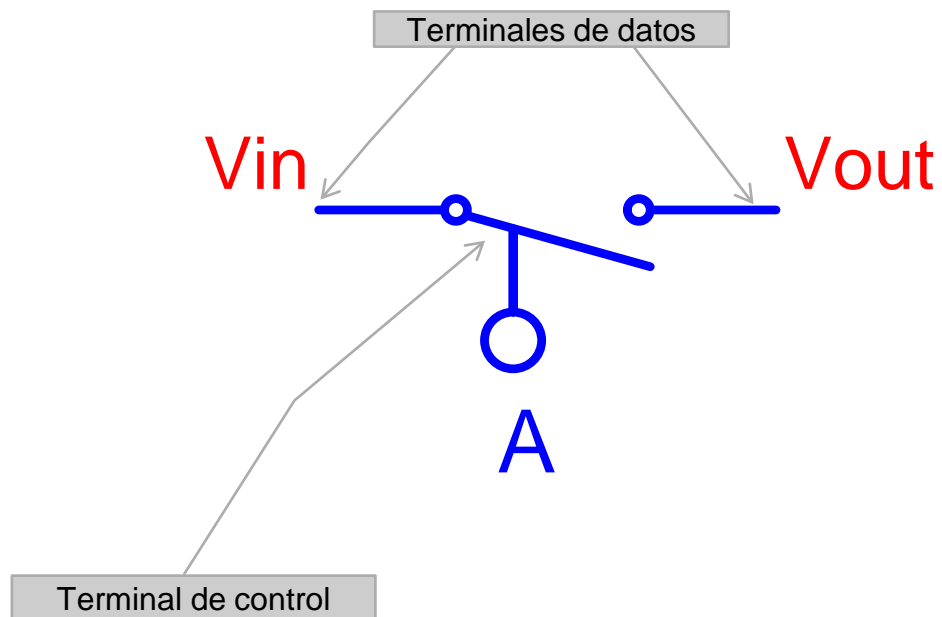
EL TRANSISTOR MOS COMO INTERRUPTOR

1. El interruptor ideal
2. Modelo de interruptor nMOS
3. Modelo de interruptor pMO

EL INTERRUPTOR IDEAL



- Un interruptor ideal es un dispositivo de tres terminales usado para controlar la conexión eléctrica entre dos puntos de un circuito
 - Un interruptor ideal crearía un cortocircuito cuando está cerrado y un circuito abierto cuando está abierto, de manera similar a un interruptor mecánico.



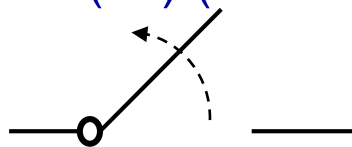
A	V_{out}
0	Alta Z
1	V_{in}

MODELO DE INTERRUPTOR nMOS

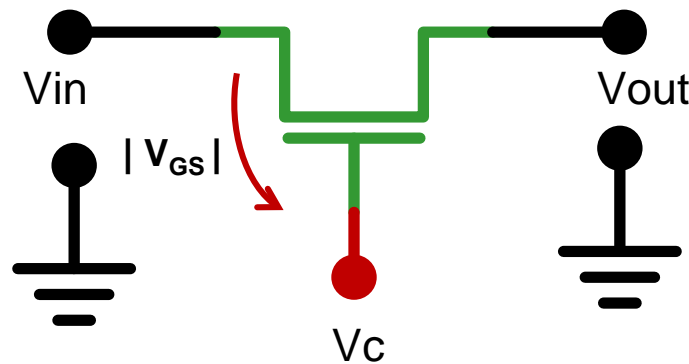


- El transistor nMOS se puede utilizar como interruptor para el paso de señales.
 - Suponiendo que los terminales de drenador y fuente son idénticos, la entrada (podría ser analógica) estaría conectada al terminal de drenador y la señal de control al terminal de puerta como se muestra.

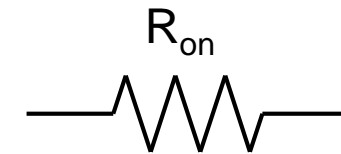
Abierto (off) (Puerta = '0')



$$|V_{GS}| < |V_{th}|$$



Cerrado (on) (puerta = '1')



$$|V_{GS}| > |V_{th}|$$

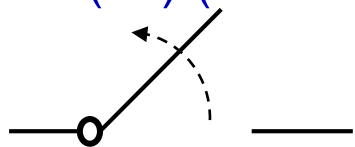
MODELO DE INTERRUPTOR pMOS



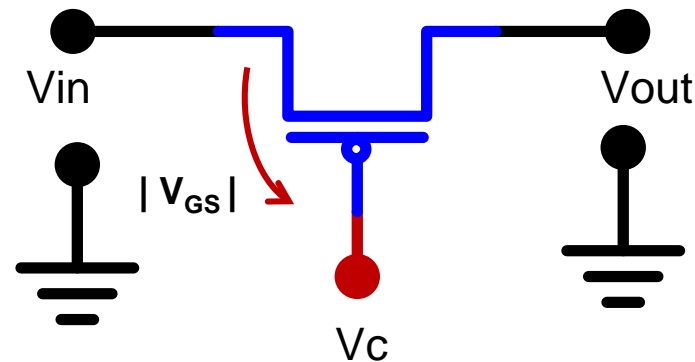
■ El transistor pMOS es similar pero opuesto en polaridad al dispositivo nMOS anterior con la corriente que fluye en la dirección opuesta, desde la fuente hasta el drenador. Luego, para un dispositivo pMOS, la entrada se conecta al terminal Fuente y la señal de control al terminal de puerta como se muestra..

■ Para el pMOS FET, cuando la tensión de control, V_C en la puerta es cero y, por lo tanto, es más negativa con respecto al terminal de entrada (fuente) o al terminal de salida (drenaje), el transistor está "ON" y en su región de saturación actuando como un interruptor cerrado.

Abierto (off) (Puerta = '1')



$$|V_{GS}| < |V_{th}|$$



Cerrado (on) (puerta = '0')



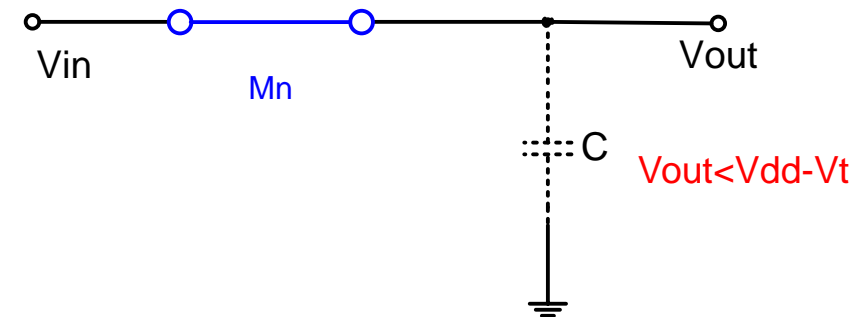
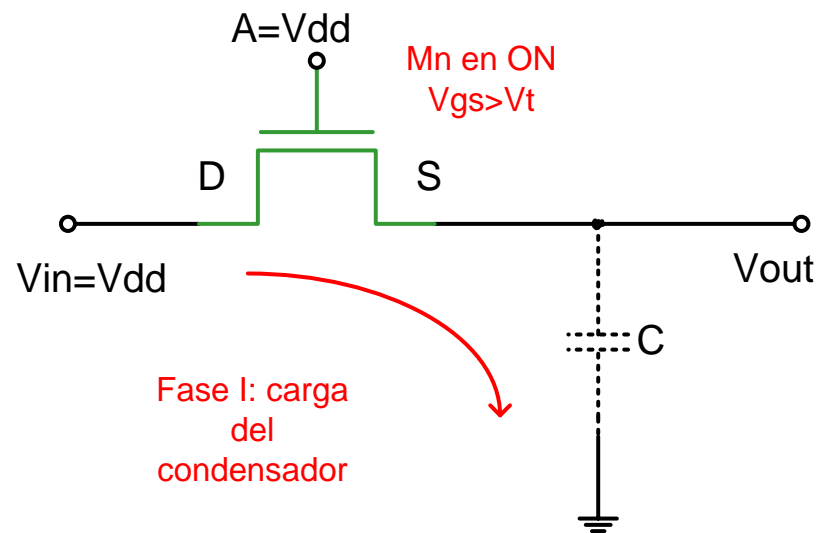
$$|V_{GS}| > |V_{th}|$$

LIMITACIONES DE LOS INTERRUPTORES nMOS Y pMOS

FASE DE CARGA



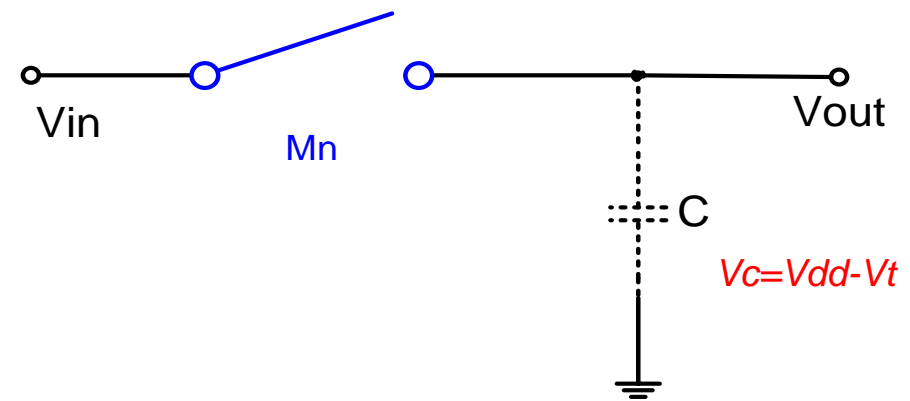
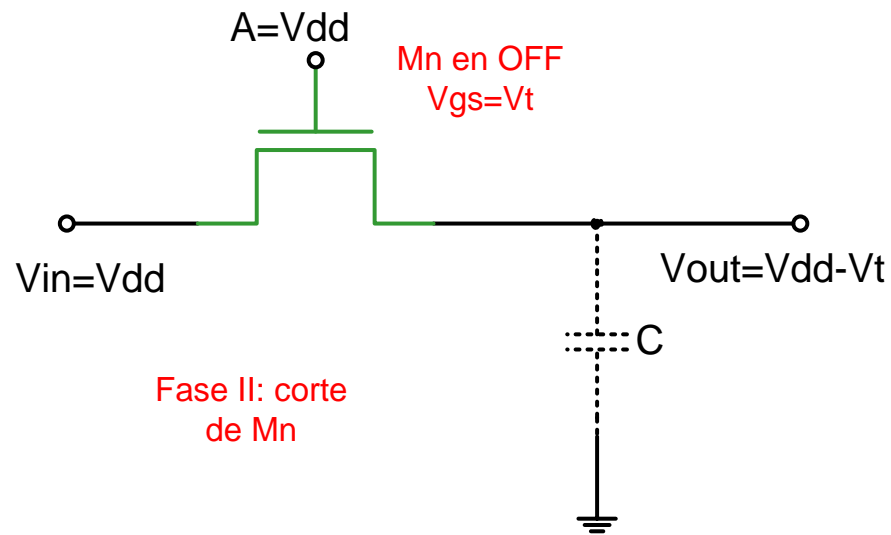
- Una de las limitaciones más importantes del interruptor nMOS es que transmite de forma degradada el valor "1", como se muestra a continuación, debido a la capacidad parásita de salida



Cuando tras transmitir un "0", sobreviene un nivel alto Vdd ("1"), en esta situación, el condensador comienza a cargarse y al alcanzar la tensión $V_{dd} - V_t$ el MOS se corta

LIMITACIONES DE LOS INTERRUPTORES nMOS Y pMOS

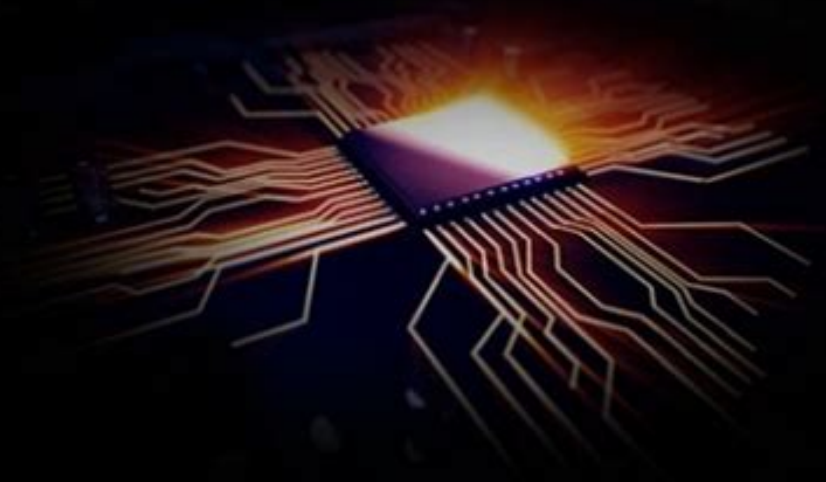
FASE DE CORTE



Quando el condensador adquiere la tensión $V_{dd} - V_t$ tendremos que...

$$V_{gs} = V_{dd} - (V_{dd} - V_t) = V_t$$

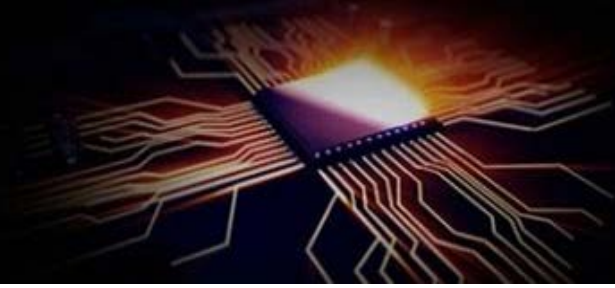
A partir de este momento el MOS se corta, el condensador deja de cargarse y la tensión de salida queda fijada a $V_{dd} - V_t$.



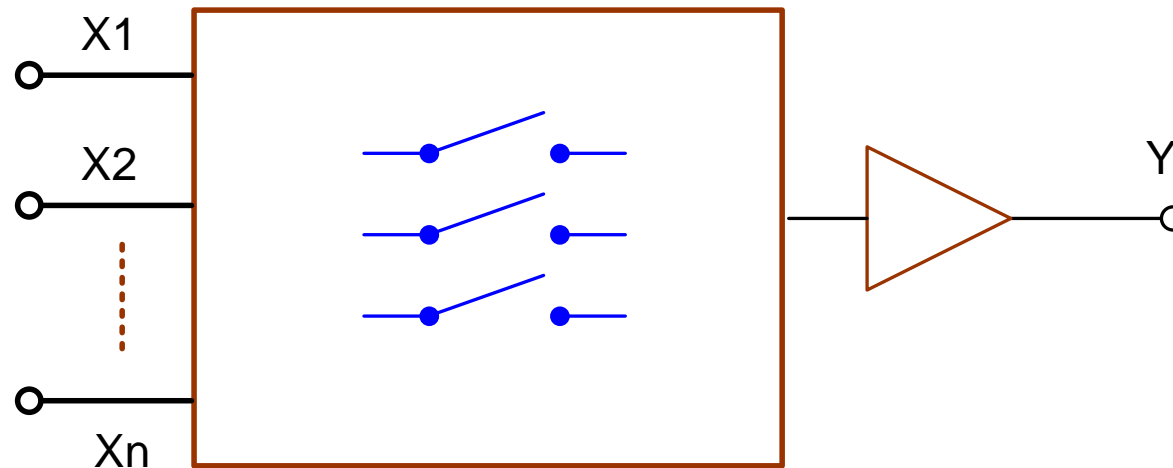
Lógica con puertas de paso (PTL)

LA LÓGICA IMPLEMENTADA CON INTERRUPTORES

LÓGICA DE TRANSISTORES DE PASO (PTL)



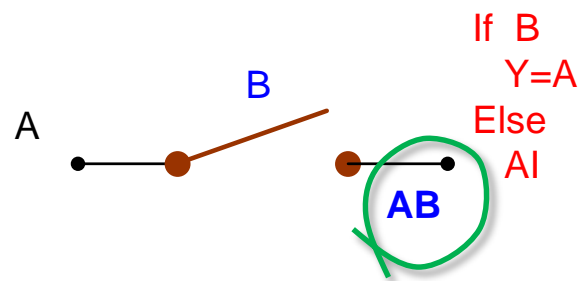
- La lógica de interruptores se basa en los **transistores de paso**
- Se pueden implementar funciones lógicas básicas y avanzadas usando las capacidades del MOS como interruptor
 - Las implementaciones resultantes tienen las ventajas de ser **simples** (número mínimo de transistores) y **rápidas** (bajas capacidades parásitas)



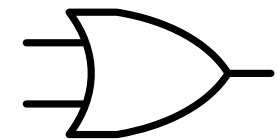
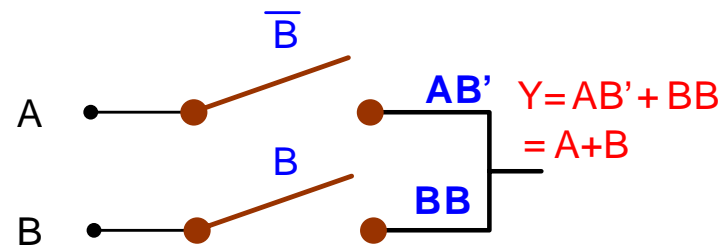
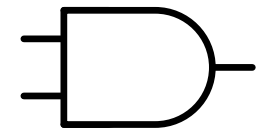
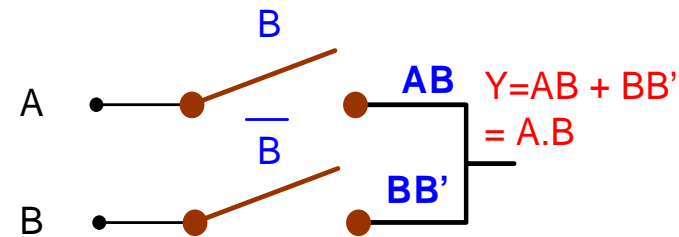
PSEUDO-IMPLEMENTACIÓN DE FUNCIONES BOOLEANAS MEDIANTE INTERRUPTORES

■ Las estructuras de las figuras muestran una lógica *pseudo-or* y *pseudo-and*, esto es, estructuras “or y and” sin terminar.

■ Nótese que si no se cumple la condición “**si**” tendremos como resultado **alta impedancia**. Si $X=1$ en el primer circuito tendríamos una AND y en el segundo una OR

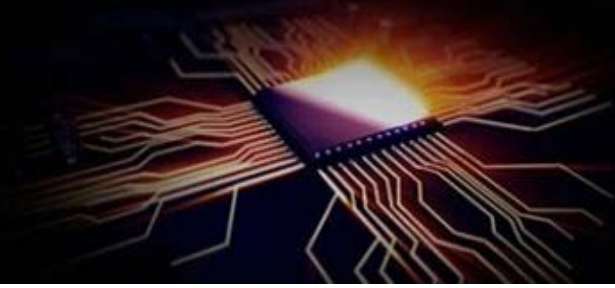


Pseudo AND



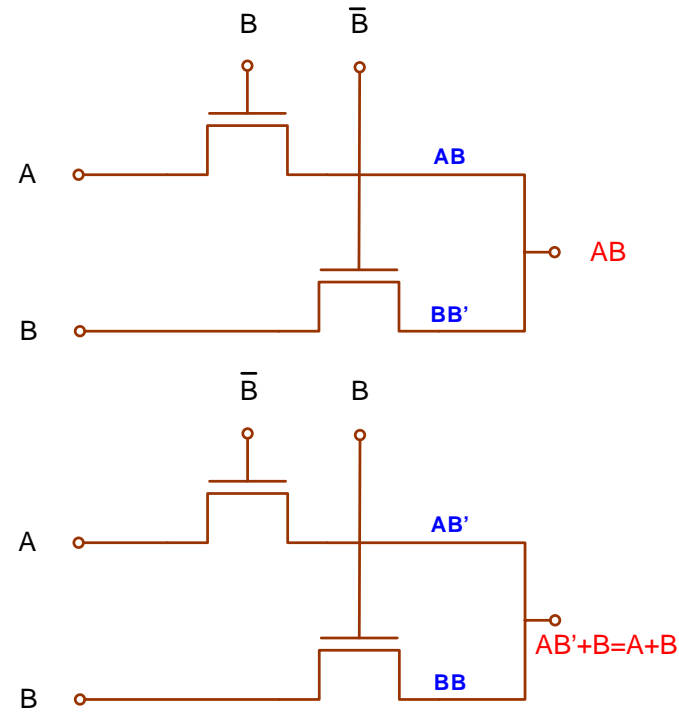
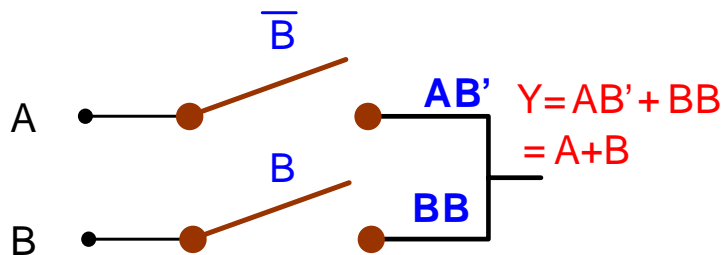
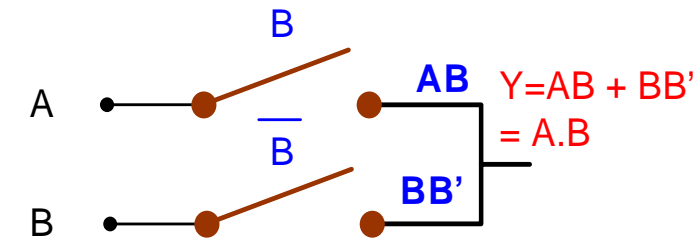
LÓGICA DE TRANSISTORES DE PASO (PTL)

PUERTA AND Y OR



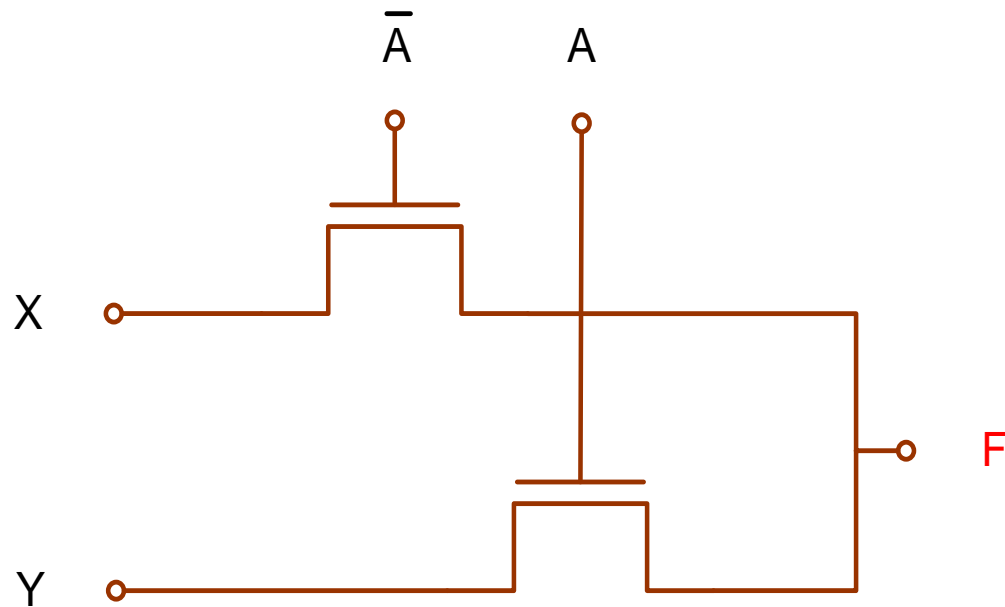
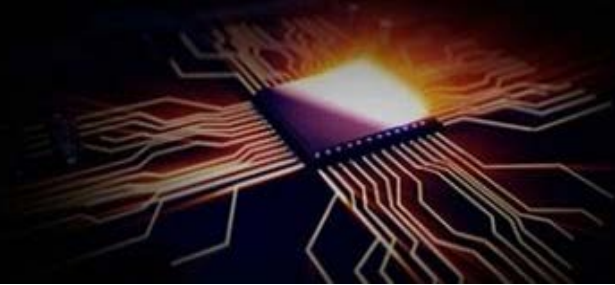
- Las puertas AND y OR son estáticas y se implementan con la mitad de transistores que con CMOS

- No hay consumo estático de potencia.



PTL: Pass Transistor Logic

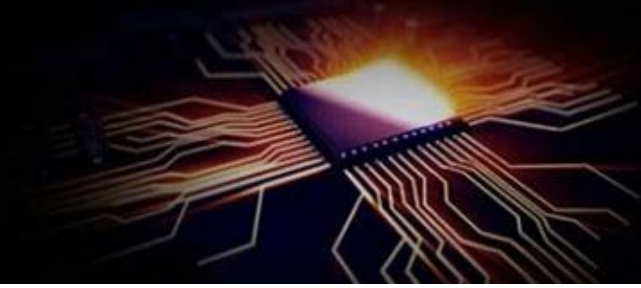
TOPOLOGÍA GENERAL PTL Y FUNCIONES QUE PUEDE REALIZAR



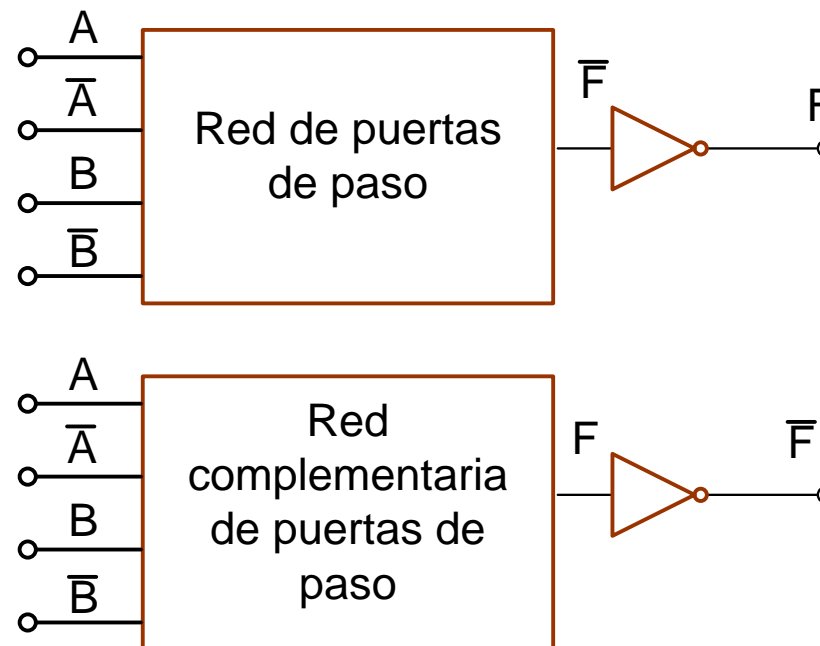
X	Y	F
0	0	0
0	1	A
1	0	\bar{A}
1	1	1
0	B	AB
0	\bar{B}	$A\bar{B}$
1	B	$\bar{A} + B$
1	\bar{B}	$\bar{A} + \bar{B}$
B	0	$\bar{A}B$
\bar{B}	B	$A \oplus \bar{B}$
B	\bar{B}	$A \oplus B$
B	B	B

LÓGICA DE TRANSISTORES DE PASO COMPLEMENTARIA (CPL)

COMPLEMENTARY PASS-TRANSISTOR LOGIC (I)



- La lógica de transistores de paso complementaria ó CPL es una **lógica diferencial** puesto que implementa dos caminos de datos complementarios
 - Optimiza el número de transistores, elimina el inversor de salida, es muy modular y adecuado para lógica compleja

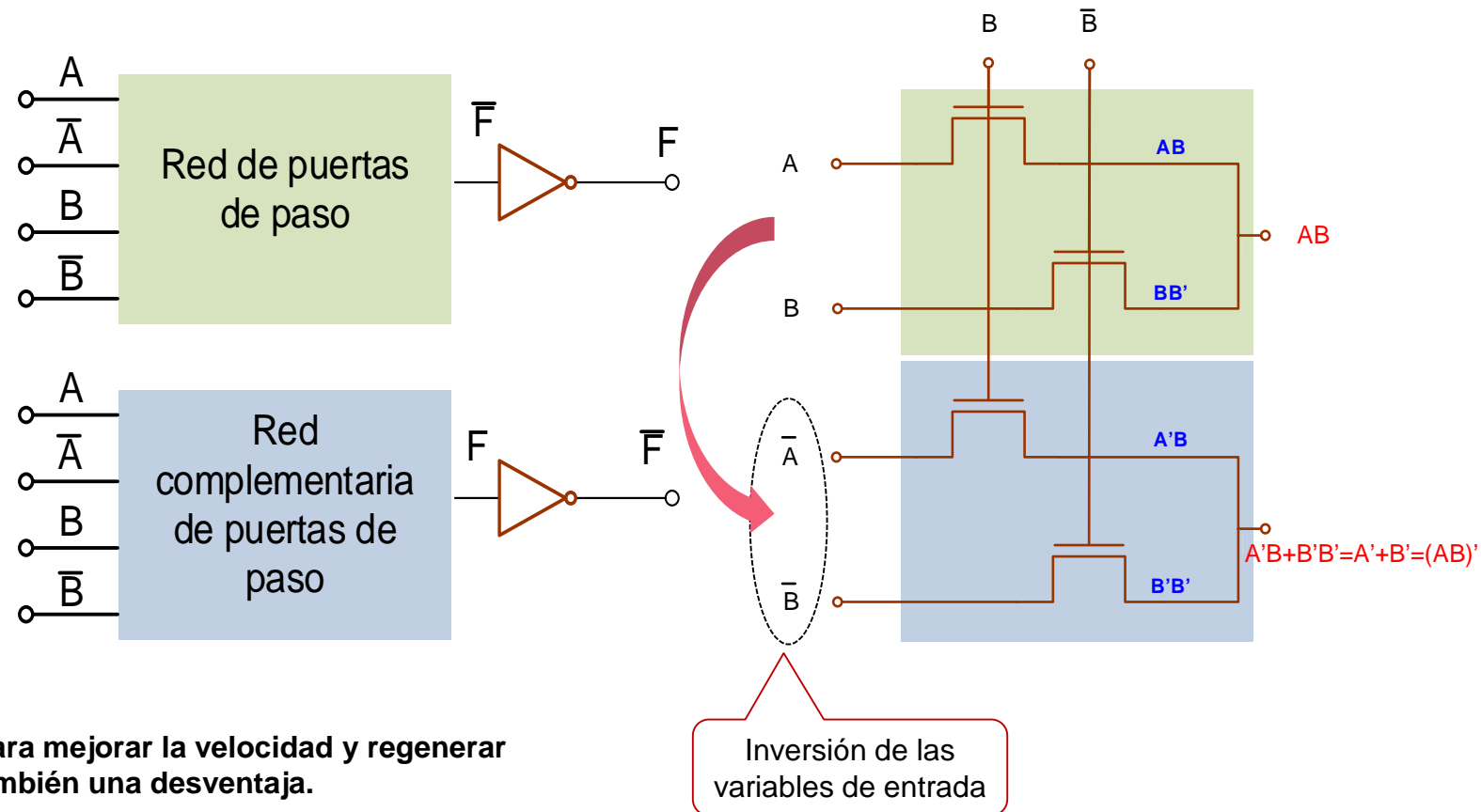


LÓGICA DE TRANSISTORES DE PASO COMPLEMENTARIA (CPL)

COMPLEMENTARIEDAD (II)



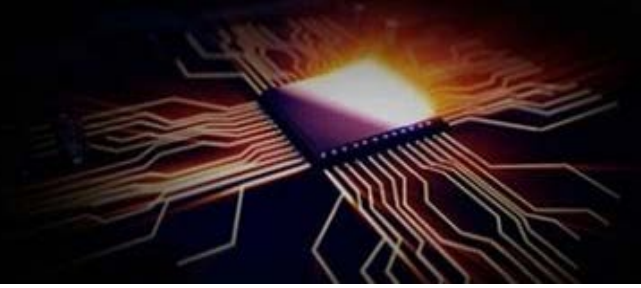
Principio de la complementariedad: Usando la misma topología de circuito que implementa la función “F”, con las señales de entrada invertidas (complementarias) la función lógica implementada es F’.



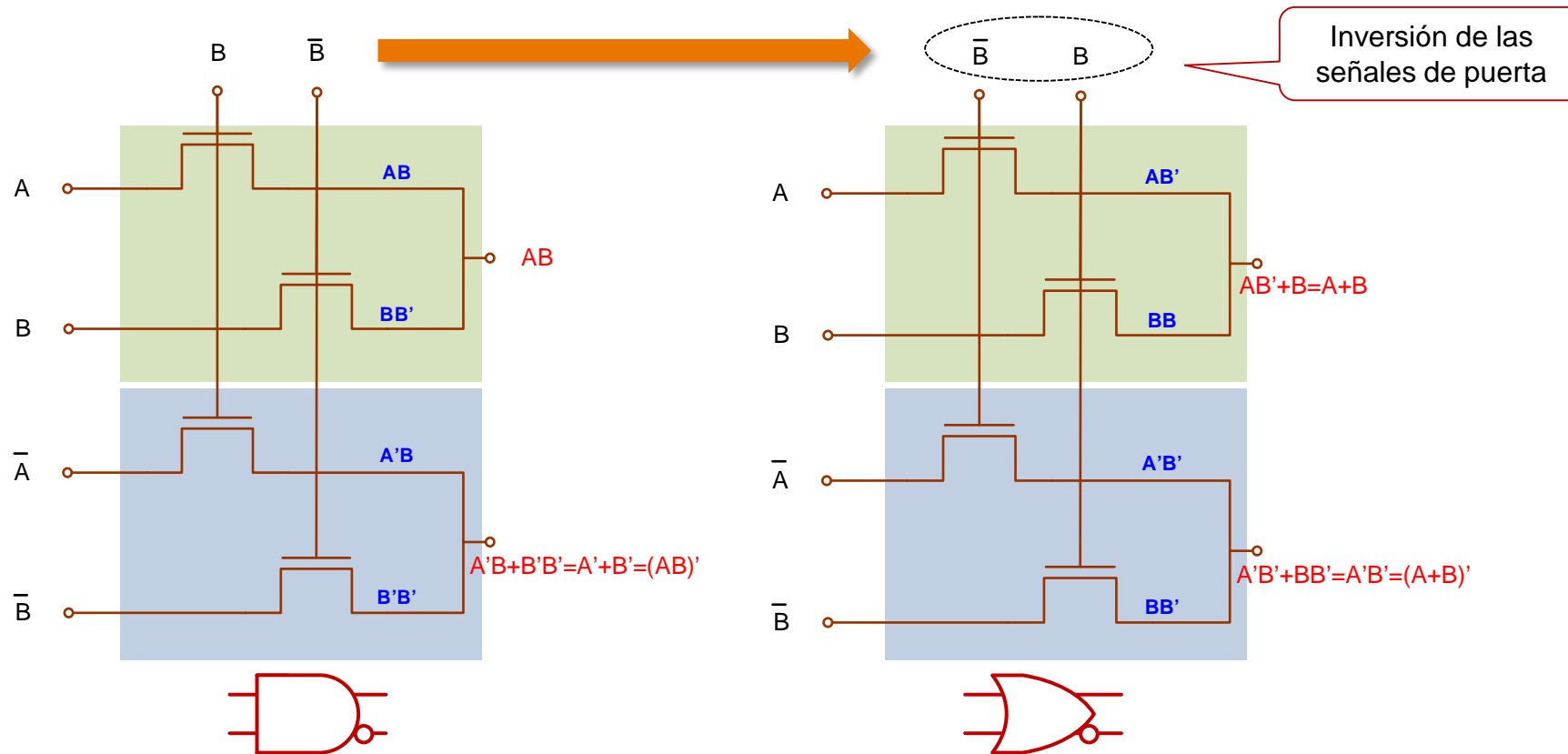
A la salida se ponen buffers para mejorar la velocidad y regenerar el nivel de la señal. Supone también una desventaja.

LÓGICA DE TRANSISTORES DE PASO COMPLEMENTARIA (CPL)

DUALIDAD (III)

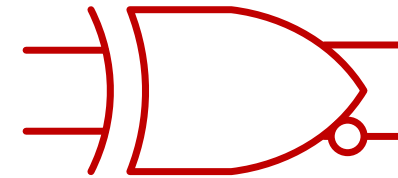
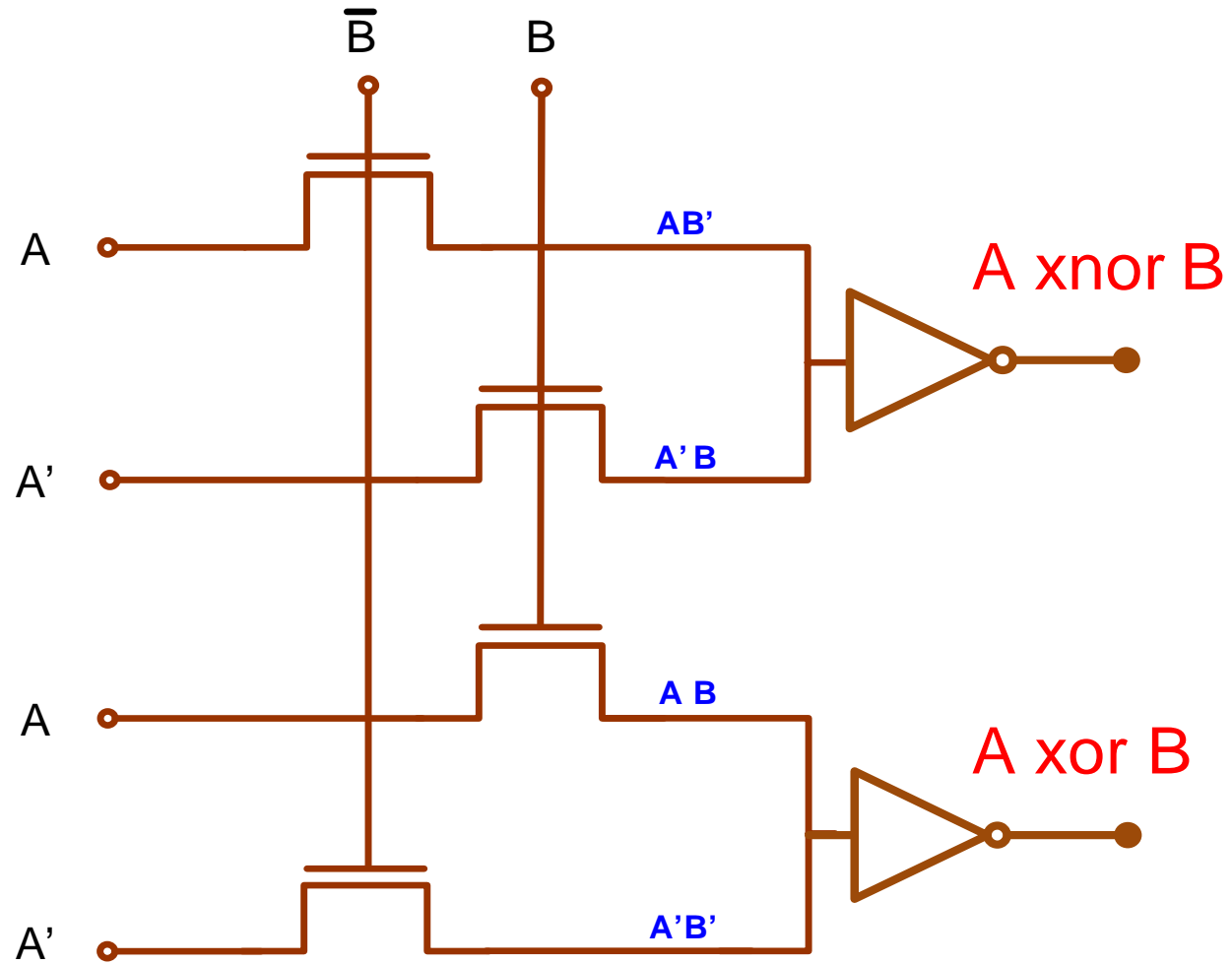
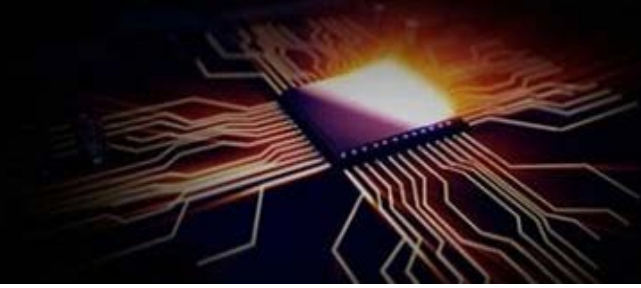


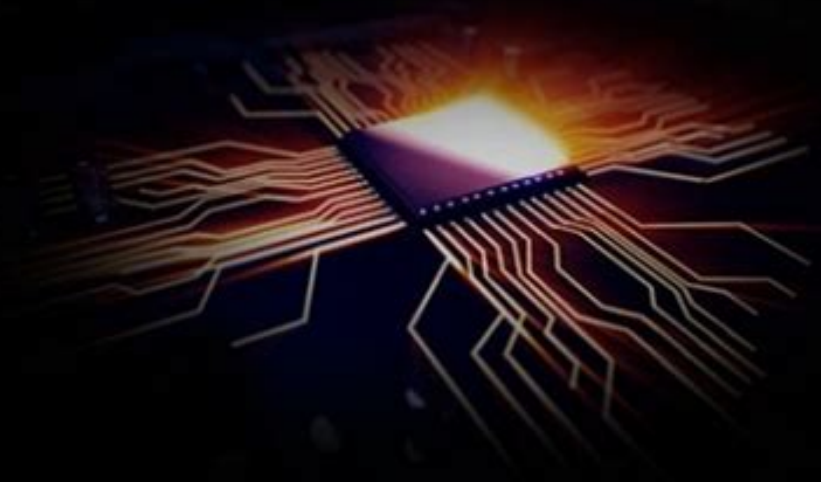
- **Principio de dualidad:** Usando la misma topología de circuito que implementa la función F (pe. AND, NAND, XOR), con las señales de **puerta invertidas** se obtiene la función dual de F (OR, NOR, XNOR).



LÓGICA DE TRANSISTORES DE PASO COMPLEMENTARIA (CPL)

PUERTA XOR





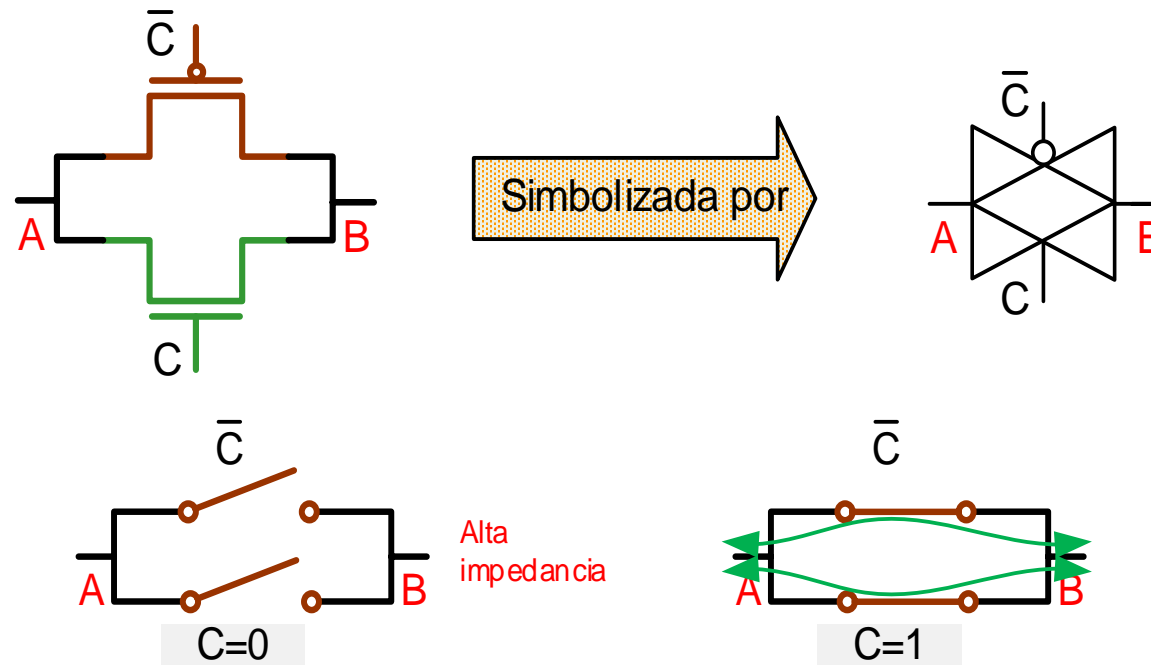
Puertas de transmisión (PT)

PUERTA DE TRANSMISIÓN

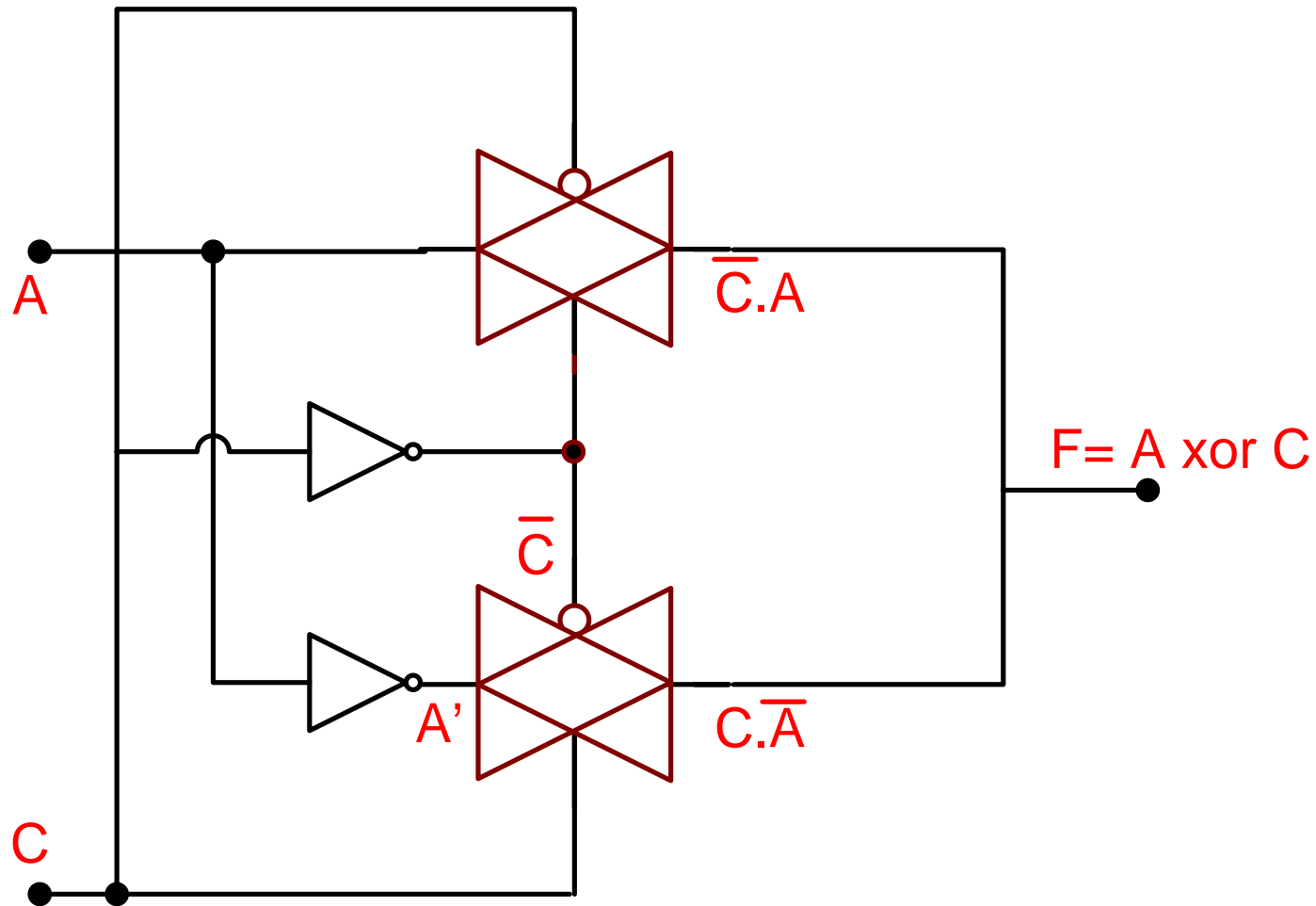
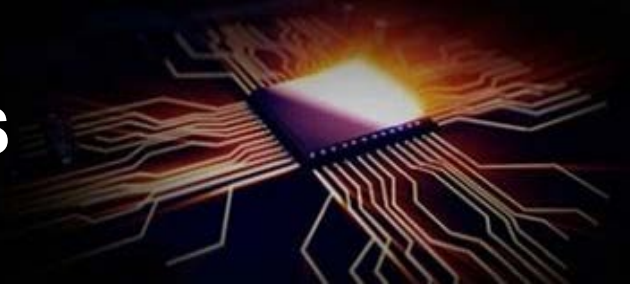
CONCEPTO



- Todo interruptor electrónico **bidireccional** que se cierra o abre controlado por una señal externa recibe el nombre genérico de **puerta de transmisión (*)**.
 - Es un interruptor **basado en CMOS**, en el que los datos se transmiten sin degradación



IMPLEMENTACIÓN DE LA FUNCIÓN XOR CON PT CMOS





- Aunque la PT se utiliza en innumerables aplicaciones tiene algunos inconvenientes

	<p>Eliminan el problema de la degeneración de la señal</p> <p>No existe camino a tierra</p>	
	<p>Se necesitan dos transistores</p> <p>Incrementa capacidades y reduce el rendimiento</p> <p>Reducción de la eficacia de layout</p>	